

日本国特許庁
JAPAN PATENT OFFICE

JC868 U.S. PTO
10/062423

02/05/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2001年 7月19日

出願番号

Application Number:

特願2001-219349

出願人

Applicant(s):

富士通株式会社
富士通ヴィエルエスアイ株式会社

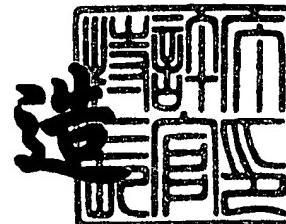
CERTIFIED COPY OF
PRIORITY DOCUMENT

Best Available Copy

2001年12月21日

特許庁長官
Commissioner,
Japan Patent Office

及川耕



出証番号 出証特2001-3110428

【書類名】 特許願
 【整理番号】 0140061
 【提出日】 平成13年 7月19日
 【あて先】 特許庁長官 殿
 【国際特許分類】 H03D 7/00
 【発明の名称】 周波数倍倍装置
 【請求項の数】 10
 【発明者】
 【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
 【氏名】 有村 一義
 【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
 【特許出願人】
 【識別番号】 000237617
 【氏名又は名称】 富士通ヴィエルエスアイ株式会社
 【代理人】
 【識別番号】 100098431
 【弁理士】
 【氏名又は名称】 山中 郁生
 【電話番号】 052-218-7161
 【選任した代理人】
 【識別番号】 100097009
 【弁理士】
 【氏名又は名称】 富澤 孝
 【手数料の表示】
 【予納台帳番号】 041999
 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【包括委任状番号】 0008079

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 周波数倍装置

【特許請求の範囲】

【請求項1】 基本信号に対する少なくとも1つの位相シフト信号を生成する位相シフト部と、

前記基本信号、及び前記位相シフト信号のうち少なくとも何れか1つの信号における振幅レベル値をシフトするレベルシフト部と、

前記基本信号と前記位相シフト信号とを合成した合成波形を生成する波形合成部と、

前記合成波形と比較閾値との比較を行う比較部とを備えることを特徴とする周波数倍装置。

【請求項2】 前記位相シフト部は、

差動対を含むことを特徴とする請求項1に記載の周波数倍装置。

【請求項3】 前記位相シフト部は、

前記基本信号に対して所定の位相差を有する前記位相シフト信号を生成する位相進み部及び位相遅れ部のうち、少なくとも何れか1つを備えることを特徴とする請求項1または2に記載の周波数倍装置。

【請求項4】 前記レベルシフト部は、

前記振幅レベル値を、前記基本信号及び前記位相シフト信号毎に適宜に調整可能であることを特徴とする請求項1乃至3の少なくとも何れか1項に記載の周波数倍装置。

【請求項5】 前記波形合成部は、

全波整流部を含むことを特徴とする請求項1乃至4の少なくとも何れか1項に記載の周波数倍装置。

【請求項6】 前記基本信号を差動入力端子のうちの少なくとも何れか一方に入力し、差動出力信号を出力する入力差動対と、

前記差動入力端子毎に適宜な直流電圧をバイアスするレベルシフト部と、

前記差動出力信号を全波整流する全波整流部と、

前記全波整流部により出力される全波整流信号と、前記比較閾値を設定する參

照電圧との比較を行う比較部とを備えることを特徴とする請求項1乃至5の少なくとも何れか1項に記載の周波数倍装置。

【請求項7】 前記基本信号を差動入力端子のうちの少なくとも何れか一方に入力し、差動出力端子から差動出力信号を出力する入力差動対と、

前記差動出力端子毎に備えられ、前記差動出力端子からの直流成分を遮断するハイパスフィルター部と、

前記ハイパスフィルター部から出力される差動信号毎に、適宜な直流電圧をバイアスするレベルシフト部と、

前記レベルシフト部からの出力信号を差動増幅する差動増幅部と、

前記差動増幅部からの出力信号を全波整流する全波整流部と、

前記全波整流部により出力される全波整流信号と、前記比較閾値を設定する参照電圧との比較を行う比較部とを備えることを特徴とする請求項1乃至5の少なくとも何れか1項に記載の周波数倍装置。

【請求項8】 前記基本信号と、前記基本信号に対して所定の位相差を有する少なくとも1つの前記位相シフト信号との各々が、個別に入力される2組以上の前記入力差動対と、

前記各位相シフト信号を個別に生成する、位相進み部、あるいは位相遅れ部とを備えることを特徴とする請求項6又は7に記載の周波数倍装置。

【請求項9】 FM変調器を備え、

前記基本信号は、

源信号が周波数信号である場合に、前記FM変調器を介して前記源信号から周波数変調された信号であることを特徴とする請求項1乃至8の少なくとも何れか1項に記載の周波数倍装置。

【請求項10】 V/F変換器を備え、

前記基本信号は、

源信号が電圧信号である場合に、前記V/F変換器を介して前記源信号から周波数信号に変換された信号であることを特徴とする請求項1乃至8の少なくとも何れか1項に記載の周波数倍装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、周波数倍装置に関するものであり、特に、無線通信機器に使用され、出力周波数を切り替えることができる周波数倍装置に関するものである。

【0002】

【従来の技術】

近年の携帯電話等の無線通信機器においては、周波数の有効利用のため、送信キャリア周波数帯の増加に伴い、キャリア周波数を切り替えて使用する用途が増加してきている。周波数倍装置においても、複数の倍数の周波数を適宜に切り替えて使用することが必要となっており、周波数が容易に切り換えられることが要求されている。一方、機器に対する多機能小型化の要求は留まるところを知らず、更に、無線通信の代表である携帯電話等の携帯機器を考える場合、その携帯性から、機器の小型・軽量化や、通信動作における低消費電流化も重要な性能指標となっている。

【0003】

従来の無線通信機器においては、必要となる複数のキャリア周波数を得るために所定の倍数を有する周波数倍装置を周波数毎に組み込むことで対応する他、図15乃至図17に示す回路が使用されてきた。

【0004】

図15は、第1従来技術の周波数倍装置100を示す。スイッチ回路110、リミッタアンプ120、バンドパスフィルタ（以下、BPFと記す）130、アンプ（以下、AMPと記す）140などで構成されている。

【0005】

周波数fの入力周波数信号VINは、スイッチ回路110に入力されている。スイッチ回路110は、図示しない制御回路により制御され、直接に出力周波数信号VOUTとして出力される経路と、周波数を所定倍数に倍する経路とに適宜に切り替えられる。周波数を所定倍数に倍する経路に入力された入力周波数信号VINは、リミッタアンプ120において電圧振幅の制限を受け擬似的な矩形波に整形される。BPF130により、擬似矩形波を構成する高次の周波数成

分から所定の周波数成分を取り出す。取り出された周波数成分をAMP140にて増幅して所定倍数の過倍数を有した出力周波数信号VOUTを出力するものである。

【0006】

また、図16は、第2従来技術の周波数過倍装置200を示す。スイッチ回路110と、ミキサ回路150とで構成されている。

【0007】

第1従来技術と同様に、周波数 f の入力周波数信号VINは、スイッチ回路110に入力されると、図示しない制御回路により直接に出力周波数信号VOUTとして出力される経路に接続されるか、周波数を所定倍数に過倍する経路に接続されるかを適宜に切り替えられる。周波数を所定倍数に過倍する経路には、ミキサ回路150を備えており、入力周波数信号VIN同士のミキシング処理が実行される。即ち、ミキサ回路150は、周波数 f の入力周波数信号VIN同士を混合して出力するものである。

【0008】

図17は、図16におけるミキサ回路150の具体例として、周波数過倍数が2倍であるミキサ回路（周波数ダブラー回路）150Aの回路図を示す。トランジスタQ101とQ102が第1差動対を構成しており、結合されたエミッタ端子は、電流源I100を介して接地電圧GNDに接続されている。両トランジスタQ101、Q102のベース端子は、抵抗素子R101、R102を介して電圧源VB101により直流電圧がバイアスされている。更にトランジスタQ101のベース端子には、入力周波数信号VINが入力されている。トランジスタQ102のベース端子に接続されているコンデンサC101は、接地容量である。

【0009】

第1差動対Q101とQ102には、負荷として抵抗素子R103、R104が接続されており、各々の接続点が次段のバッファ部に接続されている。バッファ部は、トランジスタQ103と電流源I101、及びトランジスタQ104と電流源I102で構成されており、第1差動対Q101とQ102の出力端子である各々のコレクタ端子を各々のベース端子に接続してエミッタフォロア回路を

構成している。

【0010】

上記バッファ部の出力信号が入力される第3段は、位相シフト部を構成している。トランジスタQ103と電流源I101、及びトランジスタQ104と電流源I102で各々構成されているバッファ部の各出力端子は、各々、コンデンサC102と抵抗素子R105、及びコンデンサC103と抵抗素子R106で構成されている位相進み部と、各々、抵抗素子R107とコンデンサC104、及び抵抗素子R108とコンデンサC105で構成されている位相遅れ部との2種類の位相シフト部に接続され、相互に90度の位相差を得ている。ここで位相進み部は、共通に接続されている抵抗素子R105及びR106と接地電圧GNDとの間に電圧源VB102を備えている。

【0011】

位相シフト部からの出力信号は、第4段のミキサ部に入力される。即ち、位相進み部の出力端子である、コンデンサC102と抵抗素子R105との接続点、及びコンデンサC103と抵抗素子R106との接続点は、入出力関係が逆の関係にある第2差動対Q106とQ105、及び第3差動対Q107とQ108に接続されている。位相遅れ部の出力端子である抵抗素子R107とコンデンサC104との接続点、及び抵抗素子R108とコンデンサC105との接続点は、第2及び第3差動対Q106とQ105及びQ107とQ108を負荷とする第4差動対Q110とQ109に入力されている。第2乃至第4差動対は、電流源I103によりバイアスされると共に、負荷抵抗素子R109、R110に接続されている。

【0012】

ミキサ部では、第2差動対Q106とQ105と、第3差動対Q107とQ108との入出力接続関係が逆転していることと、第2及び第3差動対Q106とQ105及びQ107とQ108と、第4差動対Q110とQ109との入力信号間に90度の位相差があることにより、第2及び第3差動対Q106とQ105及びQ107とQ108への入力信号の電圧差がピークの時には第4差動対Q110とQ109への入力信号の電圧差がなくなり、逆に、第2及び第3差動対

Q106とQ105及びQ107とQ108への入力信号の電圧差がなくなる時には第4差動対Q110とQ109への入力信号の電圧差がピークとなる。従って、ミキサ部の出力信号は、入力周波数信号VINの半周期毎に切り替わり、周波数が2倍に通倍されることとなる。

【0013】

【発明が解決しようとする課題】

しかしながら、前記第1従来技術の周波数通倍装置100では、元々單一周波数成分のみを有する入力周波数信号VINを、リミッタアンプ120で矩形波形に変調した場合、得られた矩形波形に含まれる高次の周波数成分は奇数次の周波数成分が支配的となる。故に、2通倍等の偶数次の周波数成分は、信号強度が小さく取り出し難いという問題がある。

【0014】

また、所定の周波数成分を取り出すために、BPF130が必要となり、更に取り出すべき周波数成分の信号強度が不十分である場合には、AMP140による增幅処理をも行う必要がある。回路規模が大きくなり消費電流の増大も避けることができない。携帯電話等の携帯機器等に使用する場合、高密度実装や低消費電流性を図ることができず問題である。

【0015】

前記第2従来技術の周波数通倍装置200では、歪みのない2通倍の出力周波数信号VOUTを得るためにには、位相進み部の出力信号と位相遅れ部の出力信号との位相差を正確に90度の位相差に調整することが必要である。このために、位相進み部及び位相遅れ部を構成するコンデンサC102乃至C105と抵抗素子R105乃至R108との素子特性値を精度よく合わせ込むことが必要となる。ミキサ回路150Aの最適動作ポイントを実現するための各素子の特性値は1点しかなく、素子特性値の合わせ込みをする設計作業が煩雑で難しいと共に、各素子の製造ばらつきや温度特性の違い等による素子特性値のずれにより出力周波数信号VOUTの最適値はずれてしまい、経時的に、更に温度特性的に正確な出力周波数信号VOUTを維持することが困難であるという問題がある。

【0016】

更に、前記第1及び第2従来技術の周波数倍装置100及び200では、スイッチ回路110により入力周波数信号VINの信号経路を切り替えて、出力周波数信号VOUTの周波数を切り替えている。しかしながら、スイッチ回路110を駆動するために消費される消費電流は無視することができない。周波数倍装置100及び200の消費電流を低減することができず問題である。

【0017】

本発明は前記従来技術の問題点を解消するためになされたものであり、携帯電話等の無線通信機器において、周波数の有効利用に際し、所定倍数の倍数を有する周波数信号の適宜な切り替えを、低消費電流で、且つ簡易・簡単な回路構成で実現することができる周波数倍装置を提供することを目的とする。

【0018】

【課題を解決するための手段】

前記目的を達成するために、請求項1に係る周波数倍装置は、基本信号に対する少なくとも1つの位相シフト信号を生成する位相シフト部と、基本信号、及び位相シフト信号のうち少なくとも何れか1つの信号における振幅レベル値をシフトするレベルシフト部と、基本信号と位相シフト信号とを合成した合成波形を生成する波形合成部と、合成波形と比較閾値との比較を行う比較部とを備えることを特徴とする。

【0019】

請求項1の周波数倍装置では、基本信号と、位相シフト部で位相がシフトされた1つ以上の位相シフト信号とのうちから、レベルシフト部により、適宜に振幅レベル値をシフトした後、各信号を波形合成部で合成して、この合成波形と比較閾値との比較を行って出力周波数信号を得る。

【0020】

図1に、請求項1に係る周波数倍装置を示す第1原理図1を示す。周波数成分を有する入力周波数信号fINは、位相シフト部4とレベルシフト部7により構成される回路ブロックに入力される。この回路ブロックにより、入力周波数信号fINを基本信号として、適宜に位相がシフトされた信号が少なくとも1つ生成されると共に、基本信号及び位相シフト信号のうちから適宜な信号に対して

振幅レベルがシフトされる。これにより、基本信号と位相シフト信号との信号波形におけるピーク／ボトム電圧に差が生ずることとなる。尚、位相シフト信号の生成と信号の振幅レベルのレベルシフトは、何れを先に行うことも可能である。次に、これらの基本信号と位相シフト信号（L S f）とを波形合成部5において合成して合成波形（M f）を得る。位相シフト部4により相互に位相差を有する信号波形（L S f）を合成するため、合成信号波形（M f）の周期は、合成される波形（L S f）の数に応じて短くなる。更に、信号波形（L S f）毎に適宜に振幅レベルのレベルシフトが施されているため、各周期におけるピーク／ボトム電圧値は差を有している。この合成波形（M f）を比較部6にて比較閾値と比較する。従って、合成された位相シフト信号波形の数と、振幅レベルにおけるレベルシフト量、更に比較閾値に応じて、出力周波数信号f OUTの周波数を切り替えることができる。

【0021】

これにより、矩形波等の高次の周波数成分を有する波形から所定の周波数成分を選択して抽出するという複雑な処理を必要とすることなく、位相シフト部、レベルシフト部、波形合成部、比較部という構成により、出力周波数信号の周波数を簡単に切り替えることができる。高次の周波数成分によっては信号強度が小さいため所定周波数信号の抽出が困難であるに対して、信号強度を十分に確保することができ、所定周波数を有する出力周波数信号を確実に出力することができる。

【0022】

また、請求項2に係る周波数倍装置は、請求項1に記載の周波数倍装置において、位相シフト部は、差動対を含むことを特徴とする。また、請求項3に係る周波数倍装置は、請求項1又は2に記載の周波数倍装置において、位相シフト部は、基本信号に対して所定の位相差を有する位相シフト信号を生成する位相進み部及び位相遅れ部のうち、少なくとも何れか1つを備えることを特徴とする。

【0023】

請求項2の周波数倍装置では、差動対で位相を反転させて位相シフト効果を

得ている。また、請求項3の周波数倍装置では、位相進み部や位相遅れ部により、基本信号に対して所定の位相差を有する位相シフト信号を生成している。

【0024】

これにより、高次の周波数成分から所定周波数を抽出する場合に必要となるバンドパスフィルタやアンプも不要であり、これらの回路に代えて、差動対や、位相進み部、位相遅れ部という簡単な回路構成により、位相シフト信号を生成してやればよく、携帯電話等の携帯機器への応用に必須である高密度実装や低消費電流性を実現することができる。

【0025】

また、歪みのない所定倍数の出力周波数信号を得るために、コンデンサや抵抗素子等の素子特性値を精度よく合わせ込む必要がないので、設計作業が簡略化できると共に、各素子の製造ばらつきや温度特性の違い等による特性値のずれを生ずることもなく、精度のよい出力周波数信号を安定して維持することができる

【0026】

また、位相進み部、及び位相遅れ部は、容量性負荷成分、あるいは誘導性負荷成分を含んで構成することが好ましい。これにより、容易に基本信号に対して位相をシフトすることができる。

【0027】

また、比較部における比較閾値は、適宜に調整可能であることが好ましい。これにより、比較閾値を変更することで、比較閾値と波形合成部から出力される合成波形との電圧レベルの大小関係を適宜に調整することができ、比較部から出力される出力周波数信号の周波数を適宜に切り替えることができる。

【0028】

また、請求項4に係る周波数倍装置は、請求項1乃至3の少なくとも何れか1項に記載の周波数倍装置において、レベルシフト部は、振幅レベル値を、基本信号及び位相シフト信号毎に適宜に調整可能であることを特徴とする。

【0029】

請求項4の周波数倍装置では、基本信号及び位相シフト信号毎に、振幅レベ

ル値は、適宜に調整可能である。

【0030】

これにより、矩形波等の高次の周波数成分を有する波形から所定の周波数成分を選択して抽出するという複雑な処理を必要とすることなく、基本信号及び位相シフト信号毎に振幅レベル値を適宜に調整するといった簡単な回路構成により、出力周波数信号の周波数を所定倍数の周波数に簡単に切り替えることができる。信号強度を十分に確保しながら、所定周波数を有する出力周波数信号を確実に出力することができる。

【0031】

また、高次の周波数成分から所定周波数を抽出する場合に必要となるバンドパスフィルタやアンプに代えて、信号毎の振幅レベル値の適宜な調整という簡単な回路構成で実現することができるため、携帯電話等の携帯機器等への応用に必須である高密度実装や低消費電流性を実現することができる。

【0032】

また、構成素子の製造ばらつきや温度特性の違い等による特性値のずれを生ずることもなく、精度のよい出力周波数信号を安定して維持することができ、設計作業が簡略化できる。

【0033】

また、出力周波数信号の周波数値を切り替えるために、スイッチ回路等を備える必要がないので、スイッチ回路等の駆動のために必要とされていた消費電流は不要となり回路動作の低消費電流化を図ることができる。

【0034】

また、レベルシフト部は、切り換え制御部を備えることにより、基本信号及び位相シフト信号毎の駆動能力を適宜に切り替えることが好ましい。ここで、駆動能力とは、基本信号及び位相シフト信号を出力するトランジスタのサイズであるか、基本信号及び位相シフト信号を出力するバイアス電流源の電流値であるかのいずれかであることが好ましい。これにより、切り換え制御部の制御により、信号間の振幅レベルを適宜に切り替えることができ、波形合成後の比較部におい

て出力される出力周波数信号の周波数を適宜に切り替えることができる。

【0035】

また、請求項5に係る周波数倍装置は、請求項1乃至4の少なくとも何れか1項に記載の周波数倍装置において、波形合成部は、全波整流部を含むことを特徴とする。

【0036】

請求項5の周波数倍装置では、全波整流部により、基本信号及び位相シフト信号を全波整流した波形を合成波形としている。

【0037】

これにより、後段に比較部と相俟って、全波整流することにより、2倍の周波数成分を簡単に生成することができる。

【0038】

また、請求項6に係る周波数倍装置は、請求項1乃至5の少なくとも何れか1項に記載の周波数倍装置において、基本信号を差動入力端子のうちの少なくとも何れか一方に入力し、差動出力信号を出力する入力差動対と、差動入力端子毎に適宜な直流電圧をバイアスするレベルシフト部と、差動出力信号を全波整流する全波整流部と、全波整流部により出力される全波整流信号と、比較閾値を設定する参照電圧との比較を行う比較部とを備えることを特徴とする。

【0039】

請求項6の周波数倍装置では、レベルシフト部により入力差動対の差動入力端子毎に適宜な直流電圧がバイアスされている状態で、少なくとも何れか一方の差動入力端子に基本信号が入力される。入力差動対から出力される差動出力信号は、全波整流部により全波整流されて、比較部で参照電圧と比較される。

【0040】

また、請求項7に係る周波数倍装置は、請求項1乃至5の少なくとも何れか1項に記載の周波数倍装置において、基本信号を差動入力端子のうちの少なくとも何れか一方に入力し、差動出力端子から差動出力信号を出力する入力差動対と、差動出力端子毎に備えられ、差動出力端子からの直流成分を遮断するハイパスフィルター部と、ハイパスフィルター部から出力される差動信号毎に、適宜な

直流電圧をバイアスするレベルシフト部と、レベルシフト部からの出力信号を差動増幅する差動増幅部と、差動増幅部からの出力信号を全波整流する全波整流部と、全波整流部により出力される全波整流信号と、比較閾値を設定する参照電圧との比較を行う比較部とを備えることを特徴とする。

【0041】

請求項7の周波数倍装置では、少なくとも何れか一方の差動入力端子に基本信号が入力される。入力差動対から出力される差動出力信号は、ハイパスフィルター部を介して直流成分がカットされた後、レベルシフト部により個々に適宜な直流電圧がバイアスされる。こうしてレベルシフトされた差動信号は、差動増幅部により差動増幅された後、全波整流部により全波整流されて比較部で参照電圧と比較される。

【0042】

これにより、上記請求項1乃至5の少なくとも何れか1項に記載の周波数倍装置の作用・効果を有する周波数倍装置を簡単な回路構成で実現することができるため、携帯電話等の携帯機器への応用に必須である高密度実装や低消費電流性を実現することができる。

【0043】

また、請求項8に係る周波数倍装置は、請求項6又は7に記載の周波数倍装置において、基本信号と、基本信号に対して所定の位相差を有する少なくとも1つの位相シフト信号との各々が、個別に入力される2組以上の入力差動対と、各位相シフト信号を個別に生成する、位相進み部、あるいは位相遅れ部とを備えることを特徴とする。

【0044】

請求項8の周波数倍装置では、入力差動対が2組以上備えられており、各々の入力差動つには、基本信号と、位相進み部、あるいは位相遅れ部により所定の位相差を有して生成された位相シフト信号が入力されている。

【0045】

これにより、任意の位相差を有する多相の位相シフト信号を生成することにより、任意の倍数の出力周波数信号を得ることができる。

【0046】

また、振幅レベルのレベルの際に使用される切り換え制御部は、入力差動対、あるいは差動増幅部を構成するトランジスタペアにおけるトランジスタサイズ、あるいは負荷抵抗の抵抗値を適宜に切り替えることが好ましい。また、入力差動対、あるいは差動増幅部に接続されている負荷抵抗がMOSトランジスタを含む能動負荷である場合、切り換え制御部は、MOSトランジスタのゲート端子へのバイアス電圧を制御することが好ましい。更に、入力差動対、あるいは差動増幅部に接続されている負荷抵抗がバイポーラトランジスタを含む能動負荷である場合、切り換え制御部は、バイポーラトランジスタのベース端子へのベース電流を制御することが好ましい。これにより、トランジスタのサイズや負荷抵抗値を容易に切り替えることができ、基本信号や位相シフト信号の振幅レベルの変更が容易になり好都合である。

【0047】

また、入力差動対、あるいは差動増幅部を2組以上備える場合には、切り換え制御部は、上記に示した場合の他、入力差動対、あるいは差動増幅部を駆動するバイアス電流源の電流値を制御することが好ましい。これにより、入力差動対、あるいは差動増幅部毎の差動出力信号における振幅レベルを制御でき好都合である。

【0048】

また、請求項9に係る周波数倍装置は、請求項1乃至8の少なくとも何れか1項に記載の周波数倍装置において、FM変調器を備え、基本信号は、源信号が周波数信号である場合に、FM変調器を介して源信号から周波数変調された信号であることを特徴とする。

【0049】

また、請求項10に係る周波数倍装置は、請求項1乃至8の少なくとも何れか1項に記載の周波数倍装置において、V/F変換器を備え、基本信号は、源信号が電圧信号である場合に、V/F変換器を介して前記源信号から周波数信号に変換された信号であることを特徴とする。

【0050】

図2に、請求項9又は10に係る周波数倍装置を示す第2原理図2を示す。周波数成分を有する入力周波数信号 f_{IN} は、第1原理図の周波数倍装置1に入力されるに先立ち、変調部8に入力される。この変調部8により変調された変調信号波形 f'_{IN} が、周波数倍装置1に入力される。周波数倍装置1において周波数の切り換えを行うに先立ち、変調部8において、周波数を任意に切り替えることができる。ここで、変調部8としては、請求項9においてはFM変調器であり、請求項10においてはV/F変換器である。

【0051】

これにより、入力信号に応じて、FM変調器やV/F変換器により任意の周波数を有する信号を、請求項1乃至請求項8の少なくとも何れか1項に記載の周波数低倍装置の入力信号とすることができますので、出力周波数信号として任意の周波数信号を切り換えて出力することができる。

【0052】

【発明の実施の形態】

以下、本発明の周波数倍装置について具体化した第1乃至第4実施形態を図3乃至図14に基づき図面を参照しつつ詳細に説明する。図3は、第1実施形態の周波数倍装置を示す回路ブロック図である。図4は、第1実施形態による周波数倍波形を示す波形図である。図5は、第1実施形態の具体例を示す回路図である。図6は、第1実施形態の具体例による周波数倍波形を示す波形図である（ $VB_{11} = VB_{12}$ の場合）。図7は、第1実施形態の具体例による周波数倍波形を示す波形図である（ $VB_{11} < VB_{12}$ の場合）。図8は、第2実施形態の周波数倍装置を示す回路図である。図9は、第2実施形態による周波数倍波形を示す波形図である（ $VB_{21} = VB_{22} = VB_{23} = VB_{24}$ の場合）。図10は、第2実施形態による周波数倍波形を示す波形図である（ $VB_{21} = VB_{22} = VB_{24} < VB_{23}$ の場合）。図11は、第2実施形態による周波数倍波形を示す波形図である（ $VB_{21} = VB_{24} > VB_{22} = VB_{23}$ の場合）。図12は、第2実施形態による周波数倍波形を示す波形図である（ $VB_{21} = VB_{23} = VB_{24} > VB_{22}$ の場合）。図13は、第3実施形態の周波数倍装置を示す回路ブロック図である。図14は、第4実施形態の周波数倍

倍装置を示す回路ブロック図である。

【0053】

第1実施形態の周波数遅倍装置10を図3に示す。図3の回路ブロック10は、本発明の第1原理図の周波数遅倍装置1(図1、参照)に対する実施形態であり、入力周波数信号VINと同一周波数、あるいは2倍の周波数を切り替えて出力する回路である。第1実施形態の周波数遅倍装置10では、第1原理図の周波数遅倍装置1の各構成要素について、位相シフト部4に対して差動アンプ41が対応し、波形合成部5に対して全波整流器51が対応し、比較部6に対して比較器61が対応している。更に、差動アンプ41の両入力端子に備えられている電圧バイアス部71がレベルシフト部7に対応している。第1実施形態の周波数遅倍装置10では、位相シフトする前の入力周波数信号VINに対してレベルシフトを施している。

【0054】

入力周波数信号VINは、単相信号として差動アンプ41に入力されている。差動アンプ41の他方の差動入力端子には、接地容量としてコンデンサC1が接続されている。また、差動アンプ41への差動入力端子には、入力端子毎に電圧源VB1、VB2を有する電圧バイアス部71が備えられている。差動アンプ41は差動の出力端子を有しており、差動出力信号VS1+、VS1-が出力されている。これらの差動出力信号VS1+、VS1-は全波整流器51に入力され全波整流されて、単相信号として出力端子VM1に出力される。ここで全波整流とは、図示しないバイアス回路等により差動出力信号VS1+、VS1-の電圧振幅の中心レベルを基準電圧レベルとして全波整流するものとする。全波整流器51により全波整流され、振幅レベルを略中心として折り返された差動出力信号VS1+、VS1-は全波整流信号VM1として出力され、比較器61の一方の入力端子に入力されている。比較器61の他方の入力端子には、参照電圧VREFが入力されている。そして、両入力信号VM1、VREFの比較結果が出力信号VOUTとして出力されている。

【0055】

尚、第1実施形態では、入力周波数信号VINを単相信号として差動アンプ4

1の一方の差動入力端子に入力する場合を示しているが、これに限定されるものではなく、入力周波数信号V_{IN}を差動信号として供給するようにしてもよい。この場合は、他方の差動入力端子に接続されている接地容量のコンデンサC₁は不要である。

【0056】

図4には、入力周波数信号V_{IN}として、サイン(sin)波等の三角関数波形が入力された場合の入出力応答波形を示している。図4では、電圧源V_{B1}、V_{B2}のバイアス電圧値は同一電圧に設定されているものとする。差動アンプ4₁により出力される差動出力信号V_{S1+}、V_{S1-}は、相互に位相が反転された信号である。この差動出力信号V_{S1+}、V_{S1-}は、全波整流器5₁により出力される全波整流信号V_{M1}は、差動出力信号V_{S1+}、V_{S1-}を振幅の略中心に対して折り返した波形となる。従って、発振周波数は入力周波数信号V_{IN}の2倍となる。参照電圧V_{REF}を全波整流信号V_{M1}の振幅レベル内の適宜の電圧レベルに設定してやれば、比較器6₁により、全波整流信号V_{M1}の周波数で適宜のハイレベル期間を有する矩形波形として出力周波数信号V_{OUT}を得ることができる。こうして得られた出力周波数信号V_{OUT}は、入力周波数信号V_{IN}の2倍の周波数を有する矩形波形である。

【0057】

図4では、電圧源V_{B1}、V_{B2}のバイアス電圧値を同一電圧に設定する場合についての入出力応答波形を示したが、電圧源V_{B1}、V_{B2}間のバイアス電圧値に差を設けてやれば、差動アンプ4₁の差動出力信号V_{S1+}、V_{S1-}間にオフセット電圧を設定することができる。これにより、ピーク電圧値が交互に異なる全波整流波形V_{M1}を得ることができ、比較器6₁における参照電圧V_{REF}と比較した際、全波整流波形V_{M1}の1周期おきに出力周波数信号V_{OUT}を出力することもできる。これについては、第1実施形態の具体例において後述する。

【0058】

次に、第1実施形態の具体例の周波数倍装置10Aを図5に示す。図5の周波数倍装置10Aは、出力周波数信号V_{OUT}として、入力周波数信号V_{IN}

と同一の周波数を有する信号と、2倍の周波数を有する信号とを適宜に切り替えて出力する場合の回路図を示している。同一導電型で同一サイズのトランジスタQ1とQ2で入力差動対を構成している。結合されたエミッタ端子は、電流源I1を介して接地電圧GNDに接続されている。入力差動対Q1とQ2のうち、トランジスタQ1のベース端子には入力周波数信号VINが入力されている。また、トランジスタQ2のベース端子に接続されているコンデンサC1は、接地容量である。更に入力差動対Q1とQ2には、負荷として同一特性で同一サイズの抵抗素子R3、R4が接続されており、各々の接続点が入力差動対Q1とQ2の差動出力端子VS11、VS12として次段のトランジスタQ3、Q4のベース端子に接続されている。トランジスタQ3、Q4も同一導電型で同一サイズのトランジスタにより構成されている。トランジスタQ3、Q4は、入力差動対Q1とQ2のそれぞれの出力信号をエミッタフォロアで受けるバッファ回路を構成している。トランジスタQ1乃至Q4、抵抗素子R3、R4、及び電流源I1で、差動アンプ部41Aを構成している。差動アンプ部41Aは、第1原理図における周波数倍装置1の位相シフト部4の具体例である。

【0059】

また、入力差動対Q1とQ2の各ベース端子は、各々抵抗素子R1、R2を介して、電圧源VB11、VB12により直流電圧がバイアスされており、電圧バイアス部71Aを構成している。電圧バイアス部71Aは、第1原理図における周波数倍装置1のレベルシフト部7の具体例である。

【0060】

バッファ回路を構成しているトランジスタQ3、Q4のエミッタ端子は、各々ダイオードD1、D2のアノード端子に接続されており、ダイオードD1、D2のカソード端子は共通に接続されて、抵抗素子R5を介して接地電圧GNDに接続されると共に、全波整流端子VM11として次段に接続されている。ダイオードD1、D2、抵抗素子R5で、全波整流部51Aを構成している。全波整流部51Aは、第1原理図における周波数倍装置1の波形合成部5の具体例である

【0061】

全波整流端子VM11は、トランジスタQ5のベース端子に接続されている。トランジスタQ5は同一導電型で同一サイズのトランジスタQ6と共に比較差動対を構成しており、結合されたエミッタ端子は、電流源I2を介して接地電圧GNDに接続されている。比較差動対Q5とQ6により全波整流端子VM11から入力される全波整流信号VM11との比較を行う参照電圧源VREFは、トランジスタQ6のベース端子に接続されている。比較差動対Q5とQ6には、負荷として同一特性で同一サイズの抵抗素子R6、R7が接続されており、このうちトランジスタQ5と抵抗素子R6との接続点がトランジスタQ7のベース端子に接続されている。トランジスタQ7のエミッタ端子は電流源I3を介して接地電圧GNDに接続されている。トランジスタQ7と電流源I3は、バッファ回路を構成しており、両者の接続点が出力周波数端子VOUTとなっている。トランジスタQ5乃至Q7、抵抗素子R6、R7、電流源I2、I3、及び参照電圧源VREFで、比較部61Aを構成している。比較部61Aは、第1原理図における周波数倍装置1の比較部6の具体例である。

【0062】

図6、図7には、入力周波数信号VINとして、サイン(sin)波等の三角関数波形が入力された場合の入出力応答波形を示している。ここで、図6は、電圧バイアス部71Aにおける各電圧源VB11、VB12のバイアス電圧値が等しい場合(電圧値: VB11 = VB12)を示している。図8は、電圧バイアス部71Aにおける各電圧源VB11、VB12に関し、電圧源VB12のバイアス電圧値が電圧源VB11の出力電圧値より高い場合(電圧値: VB11 < VB12)を示している。

【0063】

先ず、図6について説明する。差動アンプ41Aにより差動出力端子VS11、VS12から出力される差動出力信号VS11、VS12は、相互に位相が反転された信号である。ここで、電圧バイアス部71Aにおける各電圧源VB11、VB12のバイアス電圧値が等しい(電圧値: VB11 = VB12)ので、差動出力信号VS11、VS12の振幅電圧の電圧範囲は一致している。即ち、入力差動対Q1とQ2は線形動作をしており、電流源I1からの出力電流を入力周

波数信号VINに基づきトランジスタQ1、Q2間で適宜に割り振って差動出力信号VS11、VS12を得ている。ピーク電圧V11の最大値は、電流源I1からのバイアス電流が流れなくなった状態であり、電源電圧VCCから、トランジスタQ3あるいはQ4のベース端子への入力電流が流れることによる抵抗素子R3あるいはR4の電圧降下分を減じた電圧値となる。また、ボトム電圧V12の最小値は、電流源I1からのバイアス電流の全てが流れた状態であり、電源電圧VCCから、電流源I1のバイアス電流が流れることによる抵抗素子R3あるいはR4の電圧降下分を減じた電圧値となる。

【0064】

トランジスタQ3、Q4によりバッファ化された差動出力信号VS11、VS12は、各々、ダイオードD1、D2のアノード端子に入力される。ここで、ダイオードD1、D2のカソード端子は共通に接続されており、アノード端子に入力されている差動出力信号VS11、VS12は相互に位相が反転した信号であるため、差動出力信号VS11、VS12のうち高い電圧レベルとなっているダイオード(D1あるいはD2)が半周期毎に交互に導通する。こうしてトランジスタ(Q3あるいはQ4)のベース・エミッタ間順方向電圧分、及びダイオード(D1あるいはD2)の順方向電圧分の電圧降下した電圧が共通接続されたカソード端子VM11に出力されることとなる。従って、差動出力信号VS11、VS12のうち高い電圧レベルの信号が選択的に出力され、差動出力信号VS11、VS12の振幅の略中心レベルに対して折り返された波形となり、全波整流信号VM11として出力される。出力される全波整流信号VM11は、全波整流における折り返し電圧値を略ボトム電圧として、差動出力信号VS11、VS12のピーク電圧値V11から、トランジスタ(Q3あるいはQ4)のベース・エミッタ間順方向電圧分、及びダイオード(D1あるいはD2)の順方向電圧分の電圧降下分を減じた電圧値をピーク電圧値V13とする波形となる。

【0065】

こうして得られた全波整流信号VM11に対して、参照電圧VREFを全波整流信号VM11の振幅レベル内の適宜の電圧レベルに設定してやれば、比較部61Aにより、全波整流信号VM11の周波数で適宜のハイレベル期間を有する矩

形波形として出力周波数信号VOUTを得ることができる。こうして得られた出力周波数信号VOUTは、サイン(sin)波等の三角関数波形である入力周波数信号VINを全波整流した波形に基づき生成されているため、入力周波数信号VINの周波数に対して2倍の周波数を有する矩形波形となる。

【0066】

次に、図7について説明する。図7では、電圧源VB12のバイアス電圧値が電圧源VB11のバイアス電圧値より高く設定されているため（電圧値：VB11<VB12）、このバイアス電圧における電圧差（VB12-VB11）が入力差動対Q1とQ2における線形動作範囲内であるという条件の下で、入力差動対Q1とQ2の各々のトランジスタに流れるバイアス電流の分流電流にオフセット電流IOSを生ずる。電圧差（VB12-VB11）の条件では、トランジスタQ1に比してトランジスタQ2にオフセット電流IOSだけ多くの分流電流が流れることとなる。従って、各電圧源VB11、VB12のバイアス電圧値が等しい場合（電圧値：VB11=VB12）に比して、差動出力信号VS11は、負荷抵抗素子R3にオフセット電流IOSの1/2の電流が流れる場合の抵抗素子R3間の電圧差分だけ高電圧側に信号波形がシフトし、逆に、差動出力信号VS12は、負荷抵抗素子R4にオフセット電流IOSの1/2の電流が流れる場合の抵抗素子R4間の電圧降下分だけ低電圧側に信号波形がシフトする。差動出力信号VS11、VS12間の出力電圧値差は、負荷抵抗R3、あるいはR4（両抵抗は、通常、同一抵抗値。R3=R4=R）にオフセット電流IOSが流れ際の電圧降下分の電圧差（R×IOS）となる。

【0067】

差動出力信号VS11、VS12のうち高い電圧レベルの信号が、ダイオードD1、D2により選択的に出力されて、全波整流信号VM11として出力される。従って、得られた全波整流信号VM11は、差動出力信号VS11、VS12の電圧振幅範囲内の略中心レベルに対して折り返された波形となる。出力される全波整流信号VM11のピーク電圧値V13は、差動出力信号VS11のピーク電圧値から、トランジスタQ3のベース・エミッタ間順方向電圧分、及びダイオードD1の順方向電圧分の電圧降下をした電圧値となる。全波整流信号VM11

は、全波整流における折り返し電圧値を略ボトム電圧として、差動出力信号V S 1 1に基づくピーク電圧値を含む大きな山形波形と、差動出力信号V S 1 2に基づく小さな山形波形とを交互に繰り返した波形となる。

【0068】

こうして得られた全波整流信号VM 1 1に対して、参照電圧V R E Fを、差動出力信号V S 1 1に基づく大きな山形波形と差動出力信号V S 1 2に基づく小さな山形波形との中間電圧レベル内の適宜の電圧レベルに設定してやれば、比較部6 1 Aにより、全波整流信号VM 1 1の半分の周波数で適宜のハイレベル期間を有する矩形波形として出力周波数信号V O U Tを得ることができる。こうして得られた出力周波数信号V O U Tは、入力周波数信号V I Nの周波数と同一の周波数を有する矩形波形となる。

【0069】

以上に説明した第1実施形態の周波数低倍装置10、10Aによれば、矩形波等の高次の周波数成分を有する波形から所定の周波数成分を選択して抽出するという複雑な処理を必要とすることなく、差動アンプ4 1、4 1 A、整流回路5 1、5 1 A、比較器6 1、6 1 Aといった基本的な回路に対して電圧バイアス部7 1、7 1 Aによりオフセット電圧を設定するといった簡単な回路構成により、出力周波数信号V O U Tの周波数を入力周波数信号V I Nの周波数f及びその2倍の周波数2 fに簡単に切り替えることができる。この時、整流回路5 1、5 1 Aにより入力波形の全波整流を行っているので、後段に比較器6 1、6 1 Aと相俟って2倍の周波数成分を簡単に生成することができる。高次の周波数成分では信号強度が小さいため所定周波数信号の抽出が困難であるに対して、第1実施形態においては信号強度は十分に確保することができ、所定周波数を有する出力周波数信号V O U Tを確実に出力することができる。

【0070】

また、高次の周波数成分から所定周波数を抽出する場合に必要となるB P FやAMPも不要であり、これらの回路に代えて、差動アンプ4 1、4 1 A、整流回路5 1、5 1 A、比較器6 1、6 1 A、及び電圧バイアス部7 1、7 1 Aという簡単な回路構成で実現することができるため、携帯電話等の携帯機器等への応用

に必須である高密度実装や低消費電流性を実現することができる。

【0071】

また、歪みのない2倍の出力周波数信号VOUTを得るために、コンデンサや抵抗素子等の素子特性値を精度よく合わせ込む必要がないので、設計作業が簡略化できると共に、各素子の製造ばらつきや温度特性の違い等による特性値のずれを生ずることもなく、精度のよい出力周波数信号VOUTを安定して維持することができる。

【0072】

また、出力周波数信号VOUTの周波数値を切り替えるために、スイッチ回路等を備える必要がないので、スイッチ回路等の駆動のために必要とされていた消費電流は不要となり回路動作の低消費電流化を図ることができる。

【0073】

第2実施形態の周波数倍装置20を図8に示す。図8の回路図20は、本発明の第1原理図の周波数倍装置1に対する実施形態であり、入力周波数信号VINと同一周波数乃至4倍周波数の間で出力周波数信号VOUTの周波数を切り替える場合である。第2実施形態の周波数倍装置20では、第1原理図の周波数倍装置1の各構成要素について、位相シフト部4に対して位相シフト部42が対応し、レベルシフト部7に対してレベルシフト部72が対応し、波形合成部5に対して全波整流部52が対応し、比較部6に対して比較部62が対応している。

【0074】

入力周波数信号VINは、電圧源VC2によりバイアスされると共に抵抗素子R9を介してトランジスタQ9のベース端子に接続されており、トランジスタQ9のエミッタ端子は電流源I5を介して接地電圧GNDに、コレクタ端子は電源電圧に接続されている。トランジスタQ9及び電流源I5の構成と同様の構成を有して、トランジスタQ8及び電流源I6、トランジスタQ10及び電流源I4が、各々電源電圧VCCと接地電圧GNDとの間に接続されている。そして、トランジスタQ8、Q10のベース端子は、各々抵抗素子R8、R10を介して電圧源VC1、VC2によりバイアスされている。更に、トランジスタQ10のベ

ース端子と接地電圧GNDとの間にはコンデンサC2が接続されている。

【0075】

トランジスタQ8乃至Q10のエミッタ端子は次段の第1乃至第4入力差動対Q11とQ12、Q13とQ14、Q15とQ16、Q17とQ18に入力されている。即ち、トランジスタQ8のエミッタ端子は、第1入力差動対トランジスタQ11と第2差動対トランジスタQ13に接続されており、トランジスタQ9のエミッタ端子は、第1入力差動対トランジスタQ12、第2差動対トランジスタQ14、第3入力差動対トランジスタQ16、第4差動対トランジスタQ18に接続されており、トランジスタQ10のエミッタ端子は、第3入力差動対トランジスタQ15と第4差動対トランジスタQ17に接続されている。

【0076】

第1乃至第4入力差動対Q11とQ12乃至Q17とQ18は、各々の差動対毎に同一導電型で同一サイズのトランジスタである。結合されたエミッタ端子は、電流源I7乃至I10を介して接地電圧GNDに接続されている。更に、各入力差動対のうち、第1及び第2差動対Q11とQ12、Q13とQ14と、第3及び第4差動対Q15とQ16、Q17とQ18とは、各々共通の負荷抵抗素子に接続されており、トランジスタQ11、Q13は抵抗素子R11に、トランジスタQ12、Q14は抵抗素子R12に、トランジスタQ15、Q17は抵抗素子R15に、トランジスタQ16、Q18は抵抗素子R16に接続されている。ここで、各抵抗素子は同一特性で同一サイズである。入力周波数信号VINの入力部から、各負荷抵抗素子R11、R12、R15、R16と各差動対トランジスタとの接続点VS21、VS22、VS23、VS24まで位相シフト部42を構成している。

【0077】

接続点VS21乃至VS24は、コンデンサC3、C4、C5、C6の一端に接続され、コンデンサC3乃至C6の他端は第1及び第2レベル変換差動対を構成するトランジスタQ19とQ20、Q21とQ22のベース端子に接続されると共に、抵抗素子R13、R14、R17、R18を介して接地電圧GNDを基準とする電圧源VB21、VB22、VB23、VB24に接続されている。第

1及び第2レベル変換差動対Q19とQ20、Q21とQ22のエミッタ端子には電流源I11、I12が接続されており、コレクタ端子には負荷抵抗素子R19、R20、R21、R22が接続されている。コンデンサC3乃至C6から第1及び第2レベル変換差動対Q19とQ20、Q21とQ22まででレベルシフト部72を構成している。

【0078】

第1及び第2レベル変換差動対Q19とQ20、Q21とQ22のコレクタ端子は、出力端子として次段のトランジスタQ23、Q24、Q25、Q26のベース端子に接続されている。トランジスタQ23乃至Q26も同一導電型で同一サイズのトランジスタにより構成されている。トランジスタQ23乃至Q26のコレクタ端子は電源電圧VCCに接続されており、第1及び第2レベル変換差動対Q19とQ20、Q21とQ22からの出力信号をエミッタフォロアで受けるバッファ回路を構成している。これらのトランジスタQ23乃至Q26のエミッタ端子は、各々ダイオードD3、D4、D5、D6のアノード端子に接続されており、ダイオードD3乃至D6のカソード端子は、共通に接続され抵抗素子R23を介して接地電圧GNDに接続されると共に、全波整流端子VM2として次段に接続されている。バッファ回路から全波整流端子VM2までで全波整流部52を構成している。

【0079】

全波整流端子VM2は、トランジスタQ27のベース端子に接続されている。トランジスタQ27は同一導電型で同一サイズのトランジスタQ28と共に比較差動対を構成しており、結合されたエミッタ端子は、バイアス電流源I13を介して接地電圧GNDに接続されている。比較差動対Q27とQ28により全波整流端子VM2から入力される全波整流信号VM2との電圧比較を行う参照電圧源VREFは、トランジスタQ28のベース端子に接続されている。比較差動対Q27とQ28には、負荷として同一特性で同一サイズの抵抗素子R23、R24が接続されており、このうちトランジスタQ27と抵抗素子R23との接続点がトランジスタQ29のベース端子に接続されている。トランジスタQ29のエミッタ端子は電流源I14を介して接地電圧GNDに接続されている。トランジス

タQ29と電流源I14は、バッファ回路を構成しており接続点が出力端子VOUTとなっている。全波整流端子VM2から出力端子VOUTまで比較部62を構成している。

【0080】

図9乃至図12には、入力周波数信号VINとして、サイン(sin)波等の三角関数波形が入力された場合の入出力応答波形を示している。ここで、図9は、レベルシフト部72における各電圧源VB21乃至VB24のバイアス電圧値が等しい場合(電圧値: VB21=VB22=VB23=VB24)を示している。図10は、レベルシフト部72において、電圧源VB21、VB22、VB24のバイアス電圧値が等しく、このバイアス電圧値に比して電圧源VB23のバイアス電圧値が高い場合(電圧値: VB21=VB22=VB24<VB23)を示している。図11は、レベルシフト部72において、電圧源VB21と電圧源VB24、及び電圧源VB22と電圧源VB23のバイアス電圧値が各々等しく、両者のバイアス電圧値間では、電圧源VB22及び電圧源VB23に比して電圧源VB21及び電圧源VB24のバイアス電圧値が高い場合(電圧値: VB21=VB24>VB22=VB23)を示している。図12は、レベルシフト部72において、電圧源VB21、VB23、及びVB24のバイアス電圧値が等しく、このバイアス電圧値に比して電圧源VB22のバイアス電圧値が低い場合(電圧値: VB21=VB23=VB24>VB22)を示している。以下、それぞれの場合について詳述する。

【0081】

先ず、図9について説明する。位相シフト部42の入力段にあるトランジスタQ8乃至Q10のエミッタ端子に出力される信号は、トランジスタQ8については電圧源VC1からトランジスタQ8のベース・エミッタ間順方向電圧分の電圧降下をした固定値であり、トランジスタQ9については電圧源VC2でバイアスされた電圧を中心としてトランジスタQ9のベース・エミッタ間順方向電圧分の電圧降下をした入力周波数信号VINと同相の信号であり、トランジスタQ10については電圧源VC2でバイアスされた電圧を中心としてトランジスタQ10のベース・エミッタ間順方向電圧分の電圧降下をした上で、抵抗素子R10とコ

ンデンサC2により入力周波数信号VINから90度の位相遅れを伴う信号である。

【0082】

トランジスタQ9のエミッタ端子は、第1乃至第4差動対Q11とQ12乃至Q17とQ18に共通に接続されている。そこで、このエミッタ端子から出力される入力周波数信号VINとの同相信号と、トランジスタQ8のエミッタ端子からの固定信号、あるいはトランジスタQ10のエミッタ端子からの90度の位相遅れ信号との差動増幅信号が、第1乃至第4差動対Q11とQ12乃至Q17とQ18から出力されることとなる。

【0083】

具体的には、第1及び第2差動対Q11とQ12、Q13とQ14には、入力周波数信号VINとの同相信号と固定信号が入力されているので、差動出力信号VS21の位相を基準（位相：0度）にとった場合、差動出力信号VS22には反転した位相信号（位相：180度）が得られる。これに対して、第3及び第4差動対Q15とQ16、Q17とQ18のうちのトランジスタQ15、Q17のベース端子には入力周波数信号VINとからの90度の位相遅れ信号が入力されている。作動対の出力端子では位相が反転されるので、トランジスタQ15、Q17のコレクタ端子である差動出力信号VS23には、270度の位相遅れ信号（位相：270度）が出力され、差動出力信号VS24にはその反転位相信号（位相：90度）が得られる。ここで、各電流源I7乃至I10のバイアス電流値が同じであるとすると、各負荷抵抗素子R11、R12、R15、R16の抵抗値は同一であるので、第1実施形態の具体例の周波数低倍装置10Aにおいて示したように、各差動出力信号VS21乃至VS24のピーク／ボトム電圧値は、同一となる。

【0084】

次に、出力された差動出力信号VS21乃至VS24をレベルシフトする。このためにコンデンサC3乃至C6を介して差動出力信号VS21乃至VS24の直流成分をカットした上で、第1及び第2レベル変換差動対Q19とQ20、Q21とQ22のベース端子に入力する。同時に、抵抗素子R13、R14、R1

7、R18を介して電圧源VB21乃至VB24に接続することによりバイアス電圧を設定する。図9においては、各電圧源VB21乃至VB24のバイアス電圧値が等しいので（電圧値：VB21=VB22=VB23=VB24）、第1及び第2レベル変換差動対Q19とQ20、Q21とQ22のベース端子への入力信号間にオフセットは生じない。

【0085】

位相シフト部42で90度づつ位相がシフトして生成された4相の差動出力信号VS21乃至VS24（位相：VS21=0度、VS22=180度、VS23=270度、VS24=90度）は、第1及び第2レベル変換差動対Q19とQ20、Q21とQ22によりレベル変換されてレベルシフト信号VLS21、VLS22、VLS23、VLS24として、全波整流部52におけるバッファ回路を構成する各トランジスタQ23乃至Q26のベース端子に入力される。第1及び第2レベル変換差動対Q19とQ20、Q21とQ22で位相は反転されるので、レベルシフト信号VLS21、VLS22、VLS23、VLS24は、差動出力信号VS21の位相を基準として、各々180度、0度、90度、270度の位相を有する信号である。また振幅レベルは、電流源I11、I12と、負荷抵抗素子R19乃至R22とで決定されている。これらの4相の信号は、互いに90度の位相ずれを有しているので、ダイオードD3乃至D6により、4相信号のうち最も高い電圧値の波形をトレーズするように整流されて出力され、全波整流波形VM2が得られる。全波整流波形VM2は、4相波形の各交点からトランジスタ（Q23乃至Q26のうち何れか1つ）のベース・エミッタ間順方向電圧、及びダイオード（D3乃至D6のうちの何れか1つ）の順方向電圧分を減じた電圧を略ボトム電圧として、第1及び第2レベル変換差動対Q19とQ20、Q21とQ22から出力されるピーク電圧値からトランジスタ（Q23乃至Q26のうち何れか1つ）のベース・エミッタ間順方向電圧、及びダイオード（D3乃至D6のうちの何れか1つ）の順方向電圧分を減じた電圧をピーク電圧値V23とする波形となる。

【0086】

尚、第1乃至第4入力差動対Q11とQ12乃至Q17とQ18、及び第1及

び第2レベル変換差動対Q19とQ20、Q21とQ22は、何れも線形動作をしていることは言うまでもない。また、各差動対のピーク電圧値の最大値、ボトム電圧値の最小値については、第1実施形態において説明した値と同様である。

【0087】

こうして得られた全波整流信号VM2に対して、参照電圧VREFを全波整流信号VM2の振幅レベル内の適宜の電圧レベルに設定してやれば、比較部62により、全波整流信号VM2の周波数で適宜のハイレベル期間を有する矩形波形として出力周波数信号VOUTを得ることができることについては第1実施形態と同様である。従って、出力周波数信号VOUTは、サイン(sin)波等の三角関数波形である入力周波数信号VINに対して4倍の周波数を有する矩形波形となる。

【0088】

次に、図10について説明する。基本的な回路動作については図9に説明したとおりであるので、ここでの説明は省略する。図9に比して異なる条件は、電圧源VB21乃至VB24のバイアス電圧値のうち、電圧源VB23のバイアス電圧値のみが高いことである（電圧値：VB21=VB22=VB24<VB23）。従って、レベルシフト信号VLS21、VLS22、VLS23、VLS24のうち、電圧源VB23でバイアスされたトランジスタQ21からの出力信号VLS23について、信号振幅の電圧レベルが下方にシフトすることとなる。

【0089】

電圧源VB23のバイアス電圧値が電圧源VB21、VB22、VB24のバイアス電圧値より高く設定されているため（電圧値：VB21=VB22=VB24<VB23）、このバイアス電圧における電圧差（VB23-VB24）が第2レベル変換差動対Q21とQ22における線形動作範囲内であるという条件の下で、第2レベル変換差動対Q21とQ22の各々のトランジスタに流れるバイアス電流の分流電流にオフセット電流IOSを生ずる。オフセット電圧差（VB23-VB24）を有する条件では、トランジスタQ22に比してトランジスタQ21にオフセット電流IOSだけ多くの分流電流が流れることとなる。従って、各電圧源VB23、VB24のバイアス電圧値が等しい場合（電圧値：VB

$V_{23} = V_{B24}$) に比して、差動出力信号 V_{LS24} は、負荷抵抗素子 R_{22} にオフセット電流 I_{OS} の $1/2$ の電流が流れる場合の抵抗素子 R_{22} 間の電圧差分だけ高電圧側に信号波形がシフトし、逆に、差動出力信号 V_{LS23} は、負荷抵抗素子 R_{21} にオフセット電流 I_{OS} の $1/2$ の電流が流れる場合の抵抗素子 R_{21} 間の電圧降下分だけ低電圧側に信号波形がシフトする。差動出力信号 V_{LS23} 、 V_{LS24} のそれぞれのシフト量 ΔV は、負荷抵抗 R_{21} 、あるいは R_{22} (両抵抗は、通常、同一抵抗値。 $R_{21} = R_{22} = R$) にオフセット電流 I_{OS} の $1/2$ が流れる際の電圧降下分の電圧差 ($R \times I_{OS}$) $/2$ となる。

【0090】

90度づつの位相差を有する相のレベルシフト信号 V_{LS21} 乃至 V_{LS24} のうち、レベルシフト信号 V_{LS23} が ΔV の電圧量だけ低電圧側にシフトする。この電圧シフト量 ΔV によるレベルシフト信号 V_{LS23} のピーク電圧値のシフトがトランジスタ Q_{25} 及びダイオード D_5 等における電圧降下を加味した上で、参照電圧 V_{REF} を下回るように調整してやれば、レベルシフト信号 V_{LS23} については比較部 62 での出力周波数信号 V_{OUT} の反転は生じない。よって、レベルシフト信号 V_{LS24} のピーク電圧が高く、レベルシフト信号 V_{LS23} のピーク電圧が低い全波整流波形 VM_2 が得られる。この全波整流波形 VM_2 は、4相波形の各交点からトランジスタ (Q_{23} 乃至 Q_{26} のうちの何れか1つ) のベース・エミッタ間及びダイオード (D_3 乃至 D_6 のうちの何れか1つ) の各々の順方向電圧分を減じた電圧を略ボトム電圧として、第1レベル変換差動対 Q_{19} と Q_{20} から出力されるピーク電圧値からトランジスタ (Q_{23} 又は Q_{24}) のベース・エミッタ間及びダイオード (D_3 又は D_4) の順方向電圧分を減じた電圧値 V_{23} に、レベルシフト信号 V_{LS24} のシフト量 ΔV を加算した電圧値をピーク電圧値とする波形となる。

【0091】

尚、入力端子に電圧レベル差を設けた第2レベル変換差動対 Q_{21} と Q_{22} も、他の差動対と同様、線形動作をしていることは言うまでもない。また、各差動対のピーク電圧値の最大値、ボトム電圧値の最小値については、第1実施形態において説明した値と同様である。

【0092】

こうして得られた全波整流信号VM2は、比較部62により、全波整流信号VM2のうちレベルシフト信号VLS23以外のレベルシフト信号VLS21、VLS22、及びVLS24で構成される波形部分について適宜のハイレベル期間で反転される矩形波形として出力周波数信号VOUTを得ることができることについては第1実施形態と同様である。従って、出力周波数信号VOUTは、サイン(sin)波等の三角関数波形である入力周波数信号VINに対して3倍の周波数を有する矩形波形となる。

【0093】

次に、図11について説明する。基本的な回路動作については図9に説明したとおりであるので、ここでの説明は省略する。図9に比して異なる条件は、電圧源VB21と電圧源VB24、及び電圧源VB22と電圧源VB23のバイアス電圧値が各々等しく、両者のバイアス電圧値間では電圧源VB22と電圧源VB23に比して電圧源VB21と電圧源VB24のバイアス電圧値が高いことである（電圧値：VB21=VB24>VB22=VB23）。従って、レベルシフト信号VLS21乃至VLS24のうち、電圧源VB21、VB24でバイアスされたトランジスタQ19、Q22からの出力信号VLS21、VLS24について、信号振幅の電圧レベルが下方にシフトすることとなる。

【0094】

電圧源VB21、VB24のバイアス電圧値が電圧源VB22、VB23のバイアス電圧値より高く設定されているため（電圧値：VB21=VB24>VB22=VB23）、このバイアス電圧における電圧差（VB21-VB22、VB24-VB23）が第1及び第2レベル変換差動対Q19とQ20、Q21とQ22における線形動作範囲内であるという条件の下で、第1及び第2レベル変換差動対Q19とQ20、Q21とQ22の各々のトランジスタに流れるバイアス電流の分流電流にオフセット電流IOSを生ずる。オフセット電圧差（VB21-VB22、VB24-VB23）を有する条件では、トランジスタQ20に比してトランジスタQ19に、またトランジスタQ21に比してトランジスタQ22にオフセット電流IOSだけ多くの分流電流が流れることとなる。従って、

第1及び第2レベル変換差動対Q19とQ20、Q21とQ22の各々の電圧源VB21とVB22、VB23とVB24のバイアス電圧値が等しい場合（電圧値： $VB21 = VB22$ 、 $VB23 = VB24$ ）に比して、差動出力信号VLS22、VLS23は、負荷抵抗素子R20、R21にオフセット電流IOSの1/2の電流が流れる場合の抵抗素子R20、R21間の電圧差分だけ高電圧側に信号波形がシフトし、逆に、差動出力信号VLS21、VLS24は、負荷抵抗素子R19、R22にオフセット電流IOSの1/2の電流が流れる場合の抵抗素子R19、R22間の電圧差分だけ低電圧側に信号波形がシフトする。差動出力信号VLS22、VLS23の高電圧側へのシフト量 ΔV 、及び差動出力信号VLS21、VLS24の低電圧側へのシフト量 ΔV は、負荷抵抗R20、R21、あるいはR19、R22（各抵抗は、通常、同一抵抗値。 $R19 = R20 = R21 = R22 = R$ ）にオフセット電流IOSの1/2が流れる際の電圧降下分の電圧差（ $R \times IOS$ ）/2となる。

【0095】

90度づつの位相差を有する4相のレベルシフト信号VLS21乃至VLS24のうち、レベルシフト信号VLS21、VLS24が ΔV の電圧量だけ低電圧側にシフトする。一方、レベルシフト信号VLS22、VLS23が ΔV の電圧量だけ高電圧側にシフトする。トランジスタQ23乃至Q26及びダイオードD3乃至D6等における電圧降下を加味した上で、これらの各電圧シフト量 ΔV によるレベルシフト信号VLS21及びVLS24とレベルシフト信号VLS22及びVLS23との各々のピーク電圧値の中間電圧に参照電圧VREFが設定されるように調整してやれば、レベルシフト信号VLS21、VLS24については比較部62での出力周波数信号VOUTの反転は生じない。よって、レベルシフト信号VLS22、VLS23のピーク電圧が高く、レベルシフト信号VLS21、VLS24のピーク電圧が低い4相信号の全波整流波形VM2が得られる。この全波整流波形VM2は、4相波形の各交点からトランジスタ（Q23乃至Q26のうちの何れか1つ）のベース・エミッタ間及びダイオード（D3乃至D6のうちの何れか1つ）の各々の順方向電圧分を減じた電圧を略ボトム電圧として、第1及び第2レベル変換差動対Q19とQ20、Q21とQ22において電

圧源のオフセットがない場合に出力されるピーク電圧値からトランジスタQ23乃至Q26のベース・エミッタ間及びダイオードD3乃至D6の順方向電圧分を減じた電圧値V23に、レベルシフト信号VLS22、VLS23のシフト量△Vを加算した電圧値をピーク電圧値とする波形となる。

【0096】

尚、入力端子に電圧レベル差を設けた第1及び第2レベル変換差動対Q19とQ20、Q21とQ22も、他の差動対と同様、線形動作をしていることは言うまでもない。また、各差動対のピーク電圧値の最大値、ボトム電圧値の最小値については、第1実施形態において説明した値と同様である。

【0097】

こうして得られた全波整流信号VM2は、比較部62により、全波整流信号VM2のうちレベルシフト信号VLS22、VLS23で構成される波形部分について適宜のハイレベル期間で反転される矩形波形として出力周波数信号VOUTを得ることができることについては第1実施形態と同様である。従って、出力周波数信号VOUTは、サイン(sin)波等の三角関数波形である入力周波数信号VINに対して2倍の周波数を有する矩形波形となる。

【0098】

次に、図12について説明する。基本的な回路動作については図9に説明したとおりであるので、ここで説明は省略する。図9に比して異なる条件は、電圧源VB21、VB23、及びVB24のバイアス電圧値が等しく、このバイアス電圧値に比して電圧源VB22のバイアス電圧値が低いことである（電圧値：VB21=VB23=VB24>VB22）。従って、レベルシフト信号VLS21乃至VLS24のうち、電圧源VB22でバイアスされたトランジスタQ20からの出力信号VLS22について、信号振幅の電圧レベルが上方にシフトすることとなる。

【0099】

電圧源VB21のバイアス電圧値が電圧源VB22のバイアス電圧値より高く設定されているため（電圧値：VB21>VB22）、このバイアス電圧における電圧差（VB21-VB22）が第1レベル変換差動対Q19とQ20における

る線形動作範囲内であるという条件の下で、第1レベル変換差動対Q19とQ20の各々のトランジスタに流れるバイアス電流の分流電流にオフセット電流IOSを生ずる。オフセット電圧差(VB21-VB22)を有する条件では、トランジスタQ20に比してトランジスタQ19にオフセット電流IOSだけ多くの分流電流が流れることとなる。従って、第1レベル変換差動対Q19とQ20の各々の電圧源VB21とVB22のバイアス電圧値が等しい場合(電圧値:VB21=VB22)に比して、差動出力信号VLS22は、負荷抵抗素子R20にオフセット電流IOSの1/2の電流が流れる場合の抵抗素子R20間の電圧差分だけ高電圧側に信号波形がシフトし、逆に、差動出力信号VLS21は、負荷抵抗素子R19にオフセット電流IOSの1/2の電流が流れる場合の抵抗素子R19間の電圧差分だけ低電圧側に信号波形がシフトする。差動出力信号VLS22の高電圧側へのシフト量ΔV、及び差動出力信号VLS21の低電圧側へのシフト量ΔVは、負荷抵抗R20、あるいはR19(各抵抗は、通常、同一抵抗値。R19=R20=R)にオフセット電流IOSの1/2が流れる際の電圧降下分の電圧差(R×IOS)/2となる。

【0100】

90度づつの位相差を有する4相のレベルシフト信号VLS21乃至VLS24のうち、レベルシフト信号VLS21がΔVの電圧量だけ低電圧側にシフトする。一方、レベルシフト信号VLS22がΔVの電圧量だけ高電圧側にシフトする。この時、レベルシフト信号VLS23、VLS24については電圧のシフトはない。トランジスタQ24及びダイオードD4等における電圧降下を加味した上で、電圧シフト量ΔVによりシフトされたレベルシフト信号VLS22のピーク電圧値のみが参照電圧VREFを上回るように調整してやる。これにより、レベルシフト信号VLS22以外のレベルシフト信号VLS21、VLS23、及びVLS24については、比較部62での出力周波数信号VOOUTの反転は生じない。よって、レベルシフト信号VLS22のみのピーク電圧が高く、レベルシフト信号VLS21のピーク電圧が低い4相信号の全波整流波形VM2が得られる。この場合の全波整流波形VM2は、4相波形の各交点からトランジスタ(Q23乃至Q26のうちの何れか1つ)のベース・エミッタ間及びダイオード(D

3乃至D 6 のうちの何れか1つ) の各々の順方向電圧分を減じた電圧を略ボトム電圧として、第1及び第2レベル変換差動対Q 19とQ 20、Q 21とQ 22において電圧源のオフセットがない場合に出力されるピーク電圧値からトランジスタQ 23乃至Q 26のベース・エミッタ間及びダイオードD 3乃至D 6の順方向電圧分を減じた電圧値V 23に、レベルシフト信号V L S 22のシフト量 ΔV を加算した電圧値をピーク電圧値とする波形となる。

【0101】

尚、入力端子に電圧レベル差を設けた第1レベル変換差動対Q 19とQ 20も、他の差動対と同様、線形動作をしていることは言うまでもない。また、各差動対のピーク電圧値の最大値、ボトム電圧値の最小値については、第1実施形態において説明した値と同様である。

【0102】

こうして得られた全波整流信号V M 2は、比較部6 2により、全波整流信号V M 2のうちレベルシフト信号V L S 22で構成される波形部分について適宜のハイレベル期間で反転される矩形波形として出力周波数信号V O U Tを得ることができることについては第1実施形態と同様である。従って、出力周波数信号V O U Tは、サイン(s i n)波等の三角関数波形である入力周波数信号V I Nと同じ周波数を有する矩形波形となる。

【0103】

以上に説明した第2実施形態の周波数低倍装置2 0によれば、矩形波等の高次の周波数成分を有する波形から所定の周波数成分を選択して抽出するという複雑な処理を必要とすることなく、位相シフト部4 2、全波整流部5 2、及び比較器6 2といった基本的な回路に対してレベルシフト部7 2によりオフセットを設定するといった簡単な回路構成により、出力周波数信号V O U Tの周波数を入力周波数信号V I Nの周波数f及びその2倍乃至4倍の周波数2 f乃至4 fに簡単に切り替えることができる。この時、整流回路5 1、5 1 Aにより入力波形の全波整流を行っているので、後段に比較器6 1、6 1 Aと相俟って2倍の周波数成分を簡単に生成することができる。高次の周波数成分によっては信号強度が小さいため所定周波数信号の抽出が困難であるに対して、第2実施形態の周波数

低倍装置20においては、信号強度は十分に確保することができ、所定周波数を有する出力周波数信号VOUTを確実に出力することができる。

【0104】

また、高次の周波数成分から所定周波数を抽出する場合に必要となるBPFやAMPも不要であり、これらの回路に代えて、位相シフト部42、全波整流部52、レベルシフト部72、及び比較器62という簡単な回路構成で実現することができるため、携帯電話等の携帯機器への応用に必須である高密度実装や低消費電流性を実現することができる。

【0105】

また、歪みのない2倍乃至4倍の出力周波数信号VOUTを得るために、コンデンサや抵抗素子等の素子特性値を精度よく合わせ込む必要がないので、設計作業が簡略化できると共に、各素子の製造ばらつきや温度特性の違い等による素子特性値のずれを生ずることもなく、精度のよい出力周波数信号VOUTを安定して維持することができる。

【0106】

また、出力周波数信号VOUTの周波数値を切り替えるために、スイッチ回路等を備える必要がないので、スイッチ回路等の駆動のために必要とされていた消費電流は不要となり回路動作の低消費電流化を図ることができる。

【0107】

第3実施形態の周波数倍装置30を図13に示す。第1原理図における周波数低倍装置1の前段にFM変調器81を備えた構成である。第3実施形態の周波数倍装置30では、第2原理図の周波数倍装置2の構成要素について、変調部8に対してFM変調部81が対応している。周波数倍装置1については、具体的には、第1実施形態の周波数低倍装置10、10Aや、第2実施形態の周波数低倍装置20を備えることができる。周波数低倍装置10、10A、20への入力信号V'INとして、源入力周波数信号VINをFM変調器81で周波数変調した信号を与える構成である。

【0108】

これにより、周波数低倍装置10、10A、20が有する周波数倍特性に加

えて、FM変調器81により任意の周波数変換を行うことができるので、出力周波数信号VOUTとして、任意の周波数信号を切り換えて出力することができる。入力周波数信号VINとして特定の周波数を有する信号が入力される場合に適用すれば、入力周波数信号VINに対して周波数変調を施すことができる構成である。

【0109】

第4実施形態の周波数倍装置40を図14に示す。第1原理図における周波数低倍装置1の前段にV/F変換器82を備えた構成である。第4実施形態の周波数倍装置40では、第2原理図の周波数倍装置2の構成要素について、変調部8に対してV/F変換部82が対応している。周波数倍装置1については、具体的には、第1実施形態の周波数低倍装置10、10Aや、第2実施形態の周波数低倍装置20を備えることができる。周波数低倍装置10、10A、20への入力周波数信号V'INとして、所定電圧値を有する源入力信号VINをV/F変換器82で周波数信号V'INに変換して信号を与える構成である。

【0110】

これにより、周波数低倍装置10、10A、20が有する周波数倍特性に加えて、V/F変換器82により入力された電圧信号を任意の周波数を有する信号に変換することができるので、出力周波数信号VOUTとして、任意の周波数信号を切り換えて出力することができる。入力信号VINとして所定の電圧値を有する信号が入力される場合に適用すれば、入力信号VINに対して任意の周波数を有する信号に変換することができる構成である。

【0111】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

【0112】

例えば、第1実施形態においては、同一導電型で同一サイズのトランジスタQ1とQ2で入力差動対が構成され、同一特性で同一サイズの抵抗素子R3、R4で負荷が接続される場合について説明したが、両者のバランスを適宜に崩して構成することもできる。トランジスタサイズや負荷の抵抗値を左右非対称に設定し

てやれば、出力差動信号の電圧レベル差を発生させることができる。従って、スイッチ等でトランジスタサイズや負荷の抵抗値を適宜に切り替えたり、また負荷抵抗をMOSトランジスタやバイポーラトランジスタ等の能動負荷で構成し、ゲート端子へのバイアス電圧やベース端子へのバイアス電流等を適宜に調整して負荷抵抗値を切り替えてやることにより、差動出力電圧の信号レベルを適宜に調整して周波数の切り換えを行うことも可能である。

【0113】

また、第2実施形態においても、第1実施形態の場合と同様に、入力差動対Q11とQ12乃至Q17とQ18やレベルシフト差動対Q19とQ20、Q21とQ22等を構成するトランジスタや抵抗素子R11、R12、R15、R16、R19乃至R22の対称性を崩して設定して差動出力電圧に適宜の電圧レベル差を設定することができる。また、スイッチ等やバイアス電圧／電流の適宜の調整により、差動出力電圧の信号レベルを適宜に調整して周波数の切り換えを行うことも可能である。更に、第2実施形態におけるレベルシフト部72においては、周波数の通倍数の切り替えに際し、差動入力端子へのバイアス電圧印加用の電圧源VB21乃至VB24のバイアス電圧値を適宜に調整する場合を示したが、これに限定されるものではなく、差動入力端子のバイアス電圧値に代えて、あるいはこのバイアス電圧値と共に、レベルシフト差動対を構成するトランジスタのサイズ、負荷抵抗値等に対して左右異なる重み付けとなるように調整したり、レベルシフト差動対間でバイアス電流値や負荷抵抗値に異なる重み付けを有するよう調整することによって個々の差動出力電圧の電圧レベルを調整して、出力周波数信号の周波数を切り替えることができる。

【0114】

また、第2実施形態においては、入力周波数信号VINから、90度づつ位相をずらした4相の信号を生成することにより、入力周波数信号VINと同一、2通倍、3通倍、及び4通倍の各々の周波数信号を適宜切り替えて出力することができる場合を示したが、これに限定されるものではなく、任意の位相差を有する多相の周波数信号を生成することにより、任意の通倍数の出力周波数信号VOUTを得ることができる。例えば、60度づつ位相が異なる6相の周波数信号を生

成すれば、最大6倍の出力周波数信号VOUTを出力することができる。

【0115】

また、第1乃至第3実施形態においては、入力信号として所定の周波数を有するサイン(sin)波等の三角関数信号が、入力周波数信号VINとして入力される場合を示したが、本発明はこれに限定されるものではなく、サイン(sin)波等の三角関数波形の他に、ノコギリ波等の三角波や、その他の多角形形状の波形を入力してやっても構成することができる。更に、この場合には、入力信号における高次の周波数成分を抽出することなく倍数の異なる周波数信号を出力することができる。

【0116】

また、第4実施形態においては、入力信号として所定の電圧値を有する信号が、入力信号VINとして入力される場合を示したが、本発明はこれに限定されるものではなく、電圧信号の他、電流信号の波形を入力して、V/F変換器の前段に電流電圧変換器を備えたり、V/F変換器に代えて電流／周波数変換器を備えて構成することもできる。

【0117】

また、第1及び第2実施形態においては、比較器61、61A、62における参照電圧VREFの値を固定であるとして説明したが、これに限定されるものではなく、適宜に調整することにより、出力周波数信号VOUTの周波数の倍数を変更することもできる。例えば、第2実施形態の周波数倍装置20において、電圧源VB21乃至VB24のバイアス電圧値のうち、電圧源VB23のバイアス電圧値のみが高い場合(電圧値: VB21 = VB22 = VB24 < VB23) (図10、参照)においては、全波整流波形VM2は、3つの異なるピーク電圧値を有する波形となる。即ち、△Vの電圧量だけ低電圧側にシフトしたレベルシフト信号VLS23に基づく波形と、差動対間でのオフセットによるレベルシフトのないレベルシフト信号VLS21、VLS22に基づく波形と、△Vの電圧量だけ高電圧側にシフトしたレベルシフト信号VLS24に基づく波形とである。従って、参照電圧VREFの設定電圧値をこれらのピーク電圧値に対して適宜に設定してやれば、入力周波数信号VINの周波数と同一の周波数(VLS2

$1 - \alpha < V_{REF} < V_{LS24} - \alpha$ の場合)、3 遍倍の周波数 ($V_{LS23} - \alpha < V_{REF} < V_{LS21} - \alpha$)、及び 4 遍倍の周波数 ($V_{REF} < V_{LS23} - \alpha$) を得ることができる。ここで、 α は、トランジスタ Q23 乃至 Q26 のベース・エミッタ間及びダイオード D3 乃至 D6 の順方向電圧分の電圧降下を示している。

【0118】

また、第1及び第2実施形態においては、入力周波数信号 V_{IN} を単相信号として入力する場合について示したが、これに限定されるものではなく、差動入力信号として入力差動対に入力することは言うまでもない。

【0119】

また、第1実施形態の具体例における構成において、入力差動対を 2 組以上備え、各差動対毎に所定位相差を有する周波数信号を入力することにより、3 遍倍以上の周波数倍が可能な周波数倍装置を構成することもできる。例えば、入力差動対を 2 組備え、入力差動対毎に 90 度の位相差を有する周波数信号を入力してやれば、各々の入力差動対内において、互いに 180 度の位相差を有する差動出力信号を得ることができるので、4 遍倍周波数までの出力周波数信号を得ることができる。逆に、第2実施形態における構成において、2 遍倍周波数までの出力周波数信号を得ることも可能である。

【0120】

(付記1) 基本信号に対する少なくとも 1 つの位相シフト信号を生成する位相シフト部と、

前記基本信号と前記位相シフト信号とを合成した合成波形を生成する波形合成部と、

前記合成波形と比較閾値との比較を行う比較部とを備えることを特徴とする周波数倍装置。

(付記2) 前記合成波形を生成するに先立ち、

前記基本信号、及び前記位相シフト信号のうち少なくとも何れか 1 つの信号における振幅レベル値をシフトするレベルシフト部を備えることを特徴とする付記 1 に記載の周波数倍装置。

- (付記3) 前記位相シフト部は、
位相反転部を備えることを特徴とする付記1又は2に記載の周波数倍装置。
- (付記4) 前記位相反転部は、
差動対を含むことを特徴とする付記3に記載の周波数倍装置。
- (付記5) 前記位相シフト部は、
前記基本信号に対して所定の位相差を有する前記位相シフト信号を生成する位相進み部及び位相遅れ部のうち、少なくとも何れか1つを備えることを特徴とする付記1乃至4の少なくとも何れか1項に記載の周波数倍装置。
- (付記6) 前記位相進み部、及び前記位相遅れ部は、
容量性負荷成分、あるいは誘導性負荷成分を含むことを特徴とする付記5に記載の周波数倍装置。
- (付記7) 前記比較部は、
前記比較閾値を適宜に調整可能であることを特徴とする付記1乃至6の少なくとも何れか1項に記載の周波数倍装置。
- (付記8) 前記レベルシフト部は、
前記振幅レベル値を、前記基本信号及び前記位相シフト信号毎に適宜に調整可能であることを特徴とする付記2乃至7の少なくとも何れか1項に記載の周波数倍装置。
- (付記9) 前記レベルシフト部は、
切り換え制御部を備え、
前記切り換え制御部により、前記基本信号及び前記位相シフト信号毎の駆動能力を適宜に切り替えることを特徴とする付記2乃至8の少なくとも何れか1項に記載の周波数倍装置。
- (付記10) 前記駆動能力とは、
前記基本信号及び前記位相シフト信号を出力するトランジスタのサイズであることを特徴とする付記9に記載の周波数倍装置。
- (付記11) 前記駆動能力とは、
前記基本信号及び前記位相シフト信号を出力するバイアス電流源の電流値であることを特徴とする付記9に記載の周波数倍装置。

(付記12) 前記駆動能力とは、

前記基本信号及び前記位相シフト信号の電圧レベルを決定する負荷成分のサイズであることを特徴とする付記9に記載の周波数倍装置。

(付記13) 前記波形合成部は、

整流部を備えることを特徴とする付記1乃至12の少なくとも何れか1項に記載の周波数倍装置。

(付記14) 前記整流部は、

全波整流部を含むことを特徴とする付記13に記載の周波数倍装置。

(付記15) 前記基本信号を差動入力端子のうちの少なくとも何れか一方に入力し、差動出力信号を出力する入力差動対と、

前記差動入力端子毎に適宜な直流電圧をバイアスするレベルシフト部と、

前記差動出力信号を全波整流する全波整流部と、

前記全波整流部により出力される全波整流信号と、前記比較閾値を設定する参照電圧との比較を行う比較部とを備えることを特徴とする付記1乃至14の少なくとも何れか1項に記載の周波数倍装置。

(付記16) 前記基本信号を差動入力端子のうちの少なくとも何れか一方に入力し、差動出力端子から差動出力信号を出力する入力差動対と、

前記差動出力端子毎に備えられ、前記差動出力端子からの直流成分を遮断するハイパスフィルター部と、

前記ハイパスフィルター部から出力される差動信号毎に、適宜な直流電圧をバイアスするレベルシフト部と、

前記レベルシフト部からの出力信号を全波整流する全波整流部と、

前記全波整流部により出力される全波整流信号と、前記比較閾値を設定する参照電圧との比較を行う比較部とを備えることを特徴とする付記1乃至14の少なくとも何れか1項に記載の周波数倍装置。

(付記17) 前記レベルシフト部と前記全波整流部との間に、

差動増幅部を更に備え、

前記レベルシフト部からの出力信号は、前記差動増幅部で差動増幅された上で、前記全波整流部に入力されることを特徴とする付記16に記載の周波数倍装置

置。

(付記18) 前記基本信号と、前記基本信号に対して所定の位相差を有する少なくとも1つの前記位相シフト信号との各々が、個別に入力される2組以上の前記入力差動対と、

前記各位相シフト信号を個別に生成する、位相進み部、あるいは位相遅れ部とを備えることを特徴とする付記15乃至17の少なくとも何れか1項に記載の周波数倍装置。

(付記19) 前記切り換え制御部は、

前記入力差動対、あるいは前記差動増幅部を構成するトランジスタペアにおけるトランジスタサイズ、あるいは負荷抵抗の抵抗値を適宜に切り替えることを特徴とする付記15乃至18の少なくとも何れか1項に記載の周波数倍装置。

(付記20) 前記入力差動対、あるいは前記差動増幅部に接続されている負荷抵抗は、MOSトランジスタを含む能動負荷であり、

前記切り換え制御部は、

前記MOSトランジスタのゲート端子へのバイアス電圧を制御することを特徴とする付記15乃至18の少なくとも何れか1項に記載の周波数倍装置。

(付記21) 前記入力差動対、あるいは前記差動増幅部に接続されている負荷抵抗は、バイポーラトランジスタを含む能動負荷であり、

前記切り換え制御部は、

前記バイポーラトランジスタのベース端子へのベース電流を制御することを特徴とする付記15乃至18の少なくとも何れか1項に記載の周波数倍装置。

(付記22) 前記切り換え制御部は、

前記入力差動対、あるいは前記差動増幅部を駆動するバイアス電流源の電流値を制御することを特徴とする付記18に記載の周波数倍装置。

(付記23) FM変調器を備え、

前記基本信号は、

源信号が周波数信号である場合に、前記FM変調器を介して前記源信号から周波数変調された信号であることを特徴とする付記1乃至22の少なくとも何れか1項に記載の周波数倍装置。

(付記24) V/F変換器を備え、

前記基本信号は、

源信号が電圧信号である場合に、前記V/F変換器を介して前記源信号から周波数信号に変換された信号であることを特徴とする付記1乃至22の少なくとも何れか1項に記載の周波数倍装置。

【0121】

【発明の効果】

本発明によれば、携帯電話等の無線通信機器において、周波数の有効利用に際し、所定倍数の倍数を有する周波数信号の適宜な切り替えを、低消費電流で、且つ簡易、且つ簡単な回路構成で実現することができる周波数倍装置を提供することが可能となる。

【図面の簡単な説明】

【図1】

本発明の第1原理図を示すブロック図である。

【図2】

本発明の第2原理図を示すブロック図である。

【図3】

第1実施形態の周波数倍装置を示す回路ブロック図である。

【図4】

第1実施形態による周波数倍波形を示す波形図である。

【図5】

第1実施形態の具体例を示す回路図である。

【図6】

第1実施形態の具体例による周波数倍波形を示す波形図である (VB11 = VB12の場合)。

【図7】

第1実施形態の具体例による周波数倍波形を示す波形図である (VB11 < VB12の場合)。

【図8】

第2実施形態の周波数倍装置を示す回路図である。

【図9】

第2実施形態による周波数倍波形を示す波形図である ($V_B 21 = V_B 22 = V_B 23 = V_B 24$ の場合)。

【図10】

第2実施形態による周波数倍波形を示す波形図である ($V_B 21 = V_B 22 = V_B 24 < V_B 23$ の場合)。

【図11】

第2実施形態による周波数倍波形を示す波形図である ($V_B 21 = V_B 24 > V_B 22 = V_B 23$ の場合)。

【図12】

第2実施形態による周波数倍波形を示す波形図である ($V_B 21 = V_B 23 = V_B 24 > V_B 22$ の場合)。

【図13】

第3実施形態の周波数倍装置を示す回路ブロック図である。

【図14】

第4実施形態の周波数倍装置を示す回路ブロック図である。

【図15】

第1従来技術の周波数倍装置を示す回路ブロック図である。

【図16】

第2従来技術の周波数倍装置を示す回路ブロック図である。

【図17】

第2従来技術におけるミキサ回路(周波数ダブラー回路)を示す回路図である

【符号の説明】

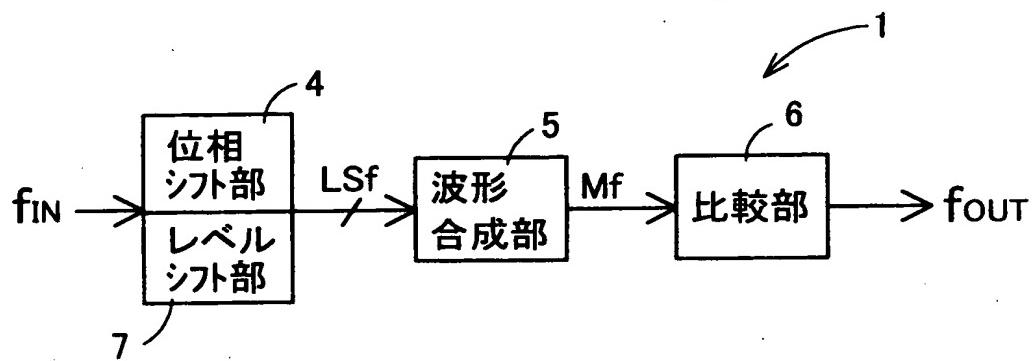
- | | |
|--------------------|--------|
| 1、10、10A、2、100、200 | 周波数倍装置 |
| 4、42 | 位相シフト部 |
| 5 | 波形合成部 |
| 6 | 比較部 |

7、72	レベルシフト部
8	変調部
41、41A	差動アンプ
51、51A	整流回路
52	全波整流部
61、61A、62	比較器
71、71A	電圧バイアス部
81	FM変調器
82	V/F変換器
110	スイッチ回路
120	リミッタアンプ
130	バンドパスフィルタ (BPF)
140	アンプ (AMP)
150	ミキサ回路
150A	ミキサ回路 (周波数ダブラー回路)

【書類名】 図面

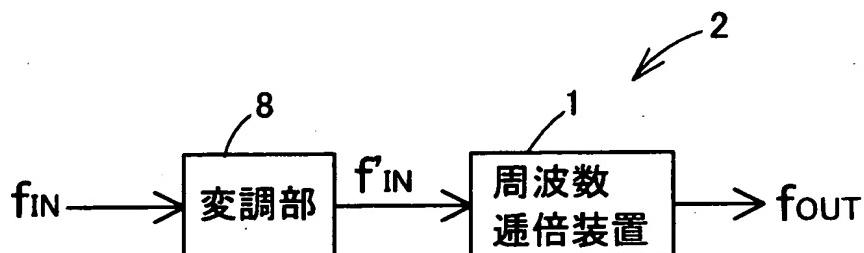
【図1】

本発明の第1原理図



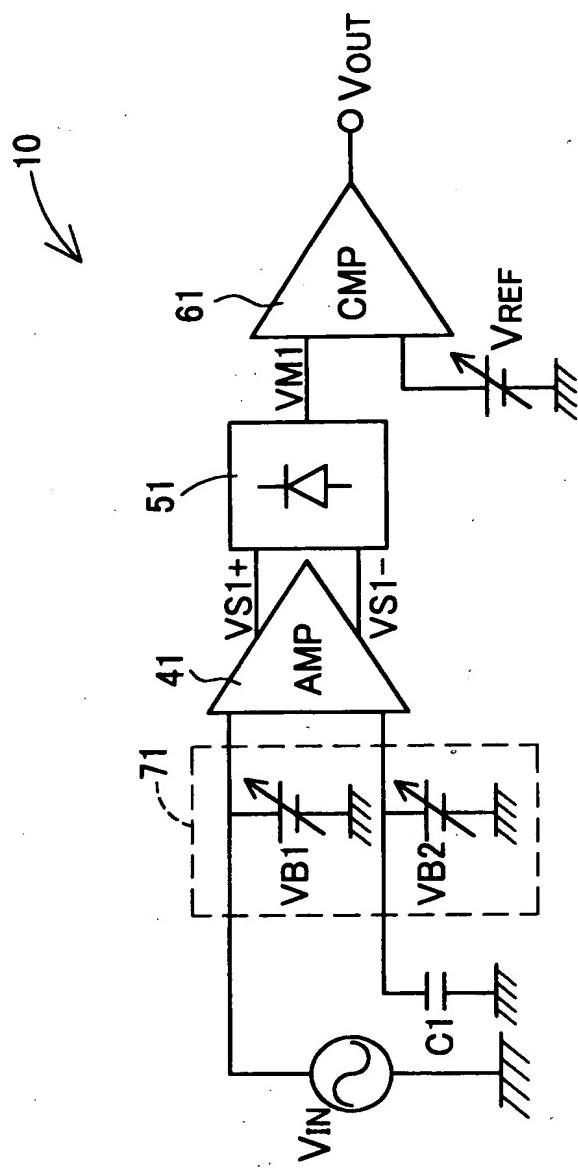
【図2】

本発明の第2原理図



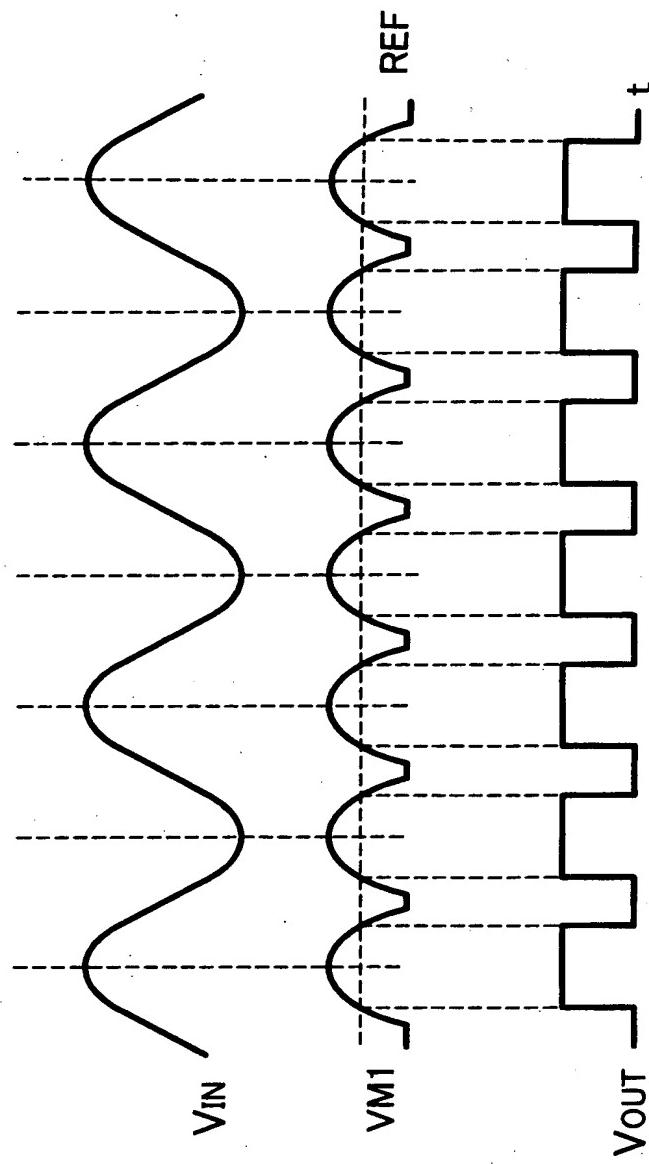
【図3】

第1実施形態の周波数遅倍装置



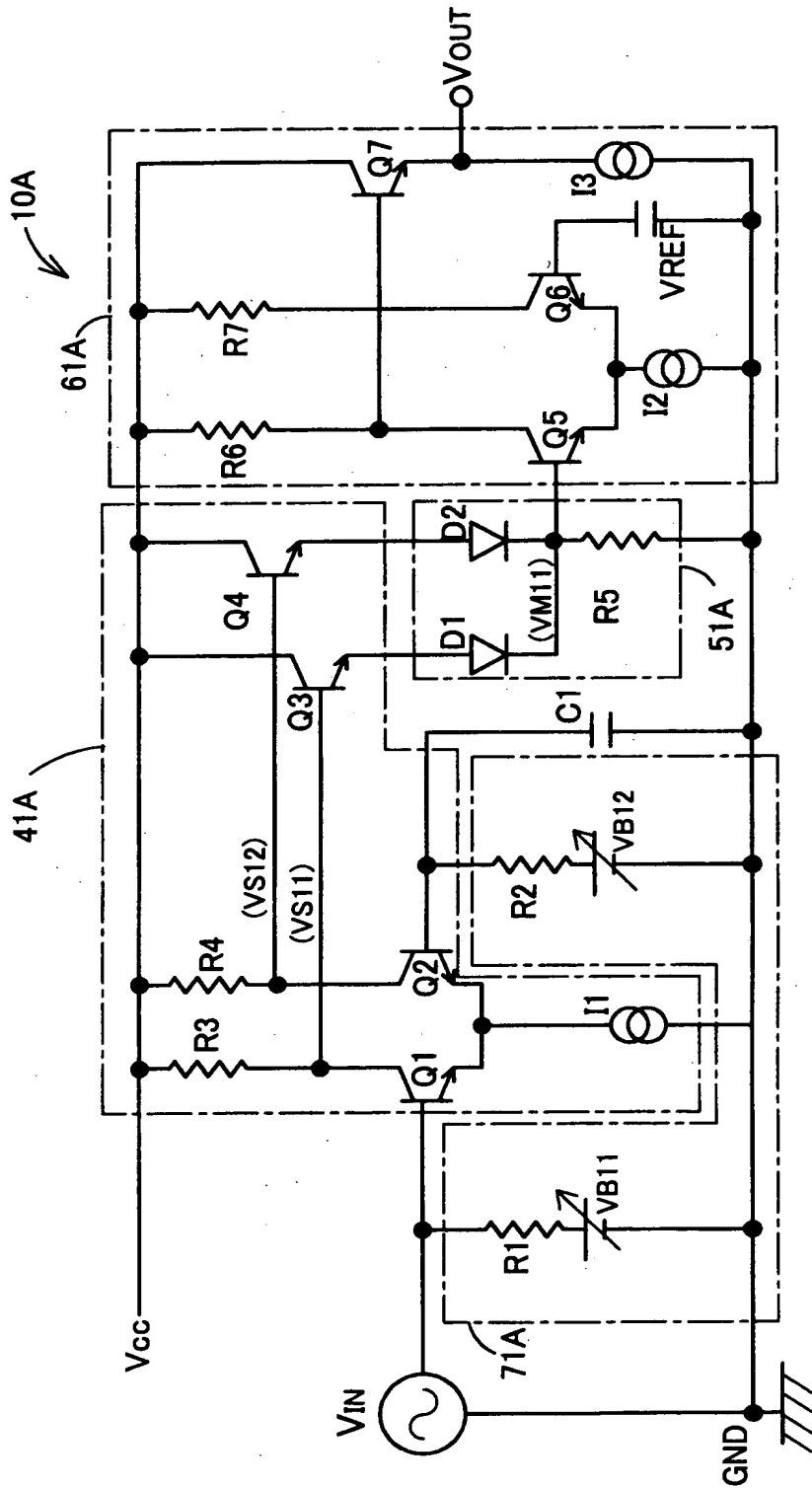
【図4】

第1実施形態による周波数倍波形



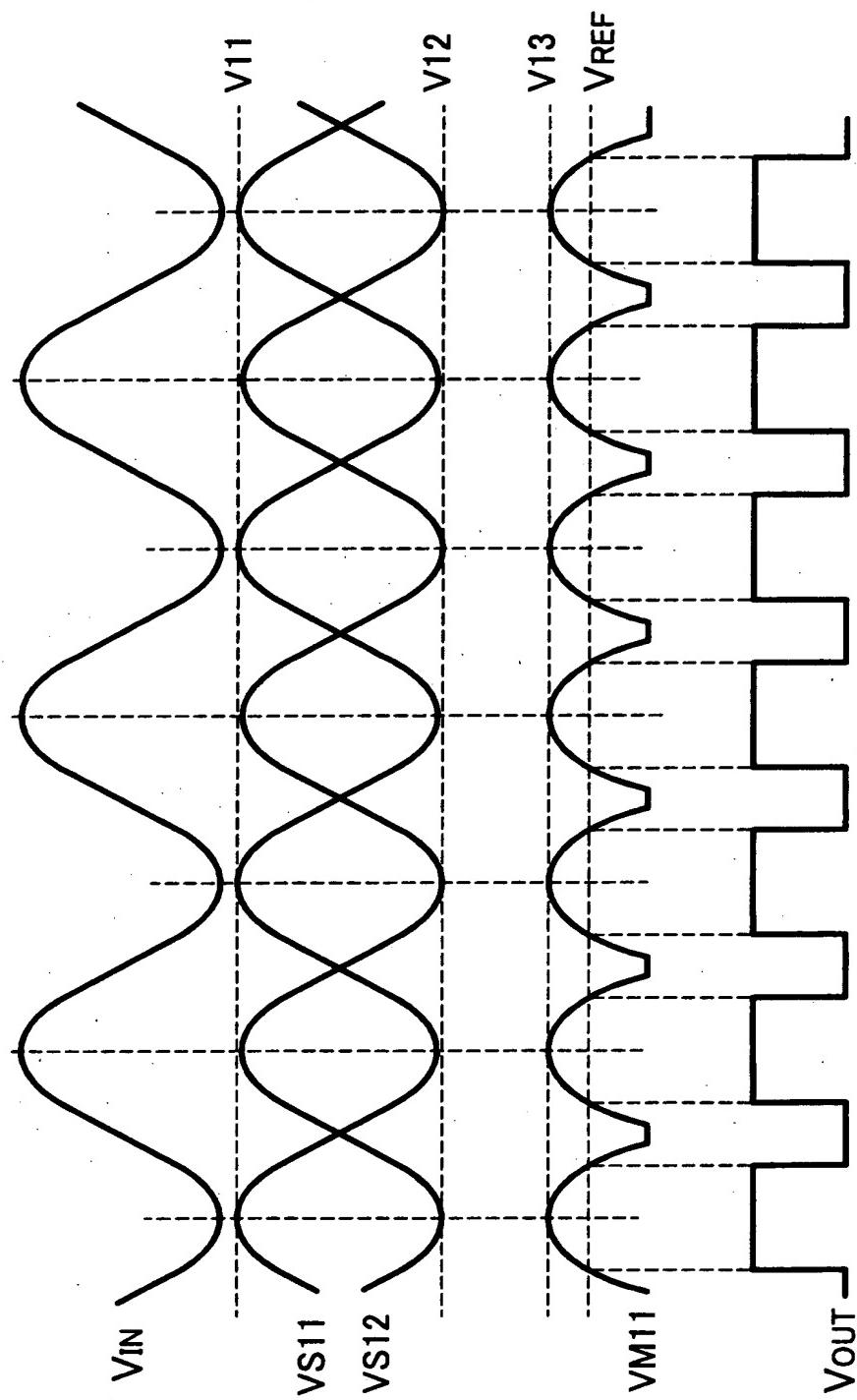
【図5】

第1実施形態の具体例



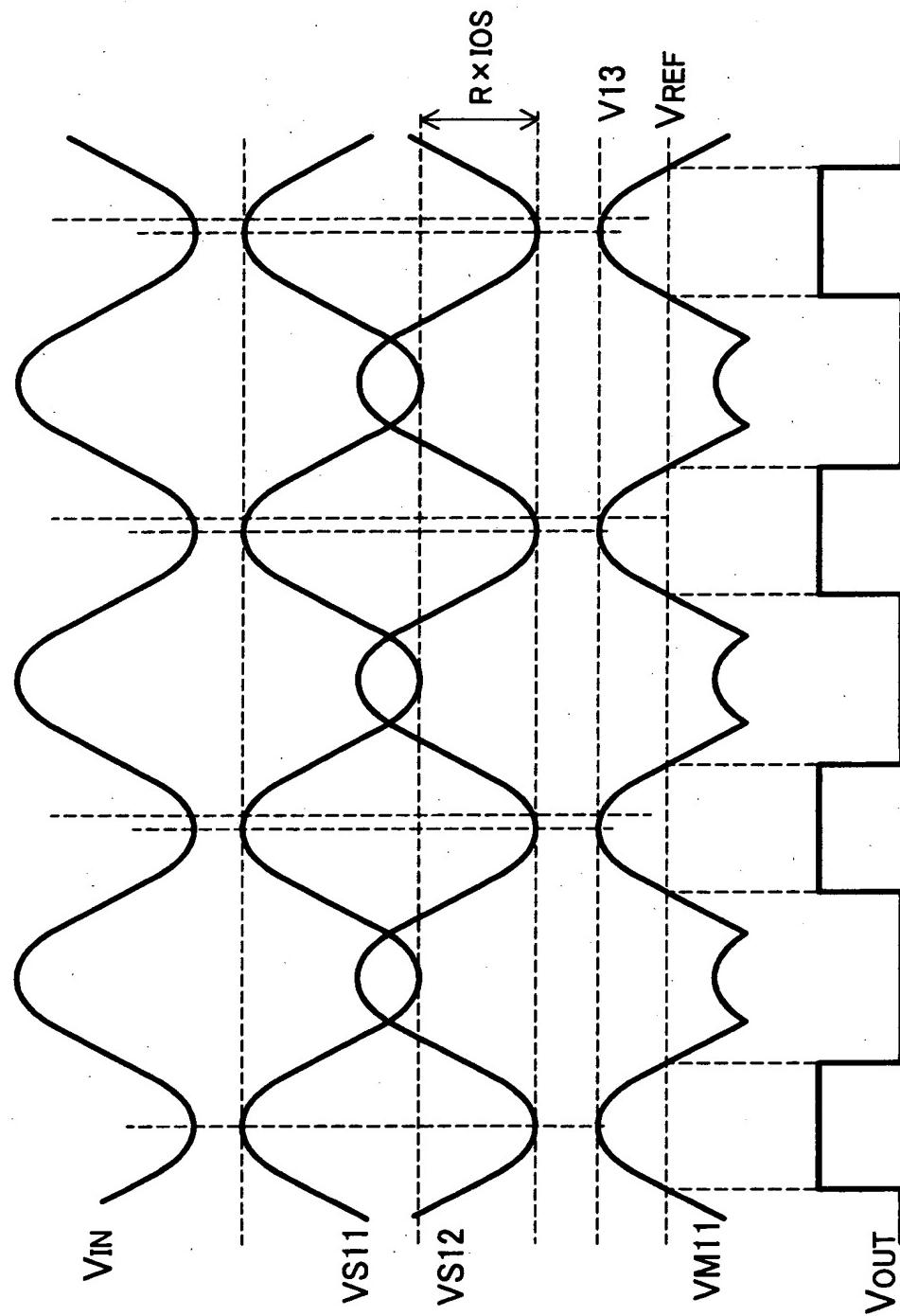
【図6】

第1実施形態の具体例による周波数倍波形
(VB11=VB12の場合)



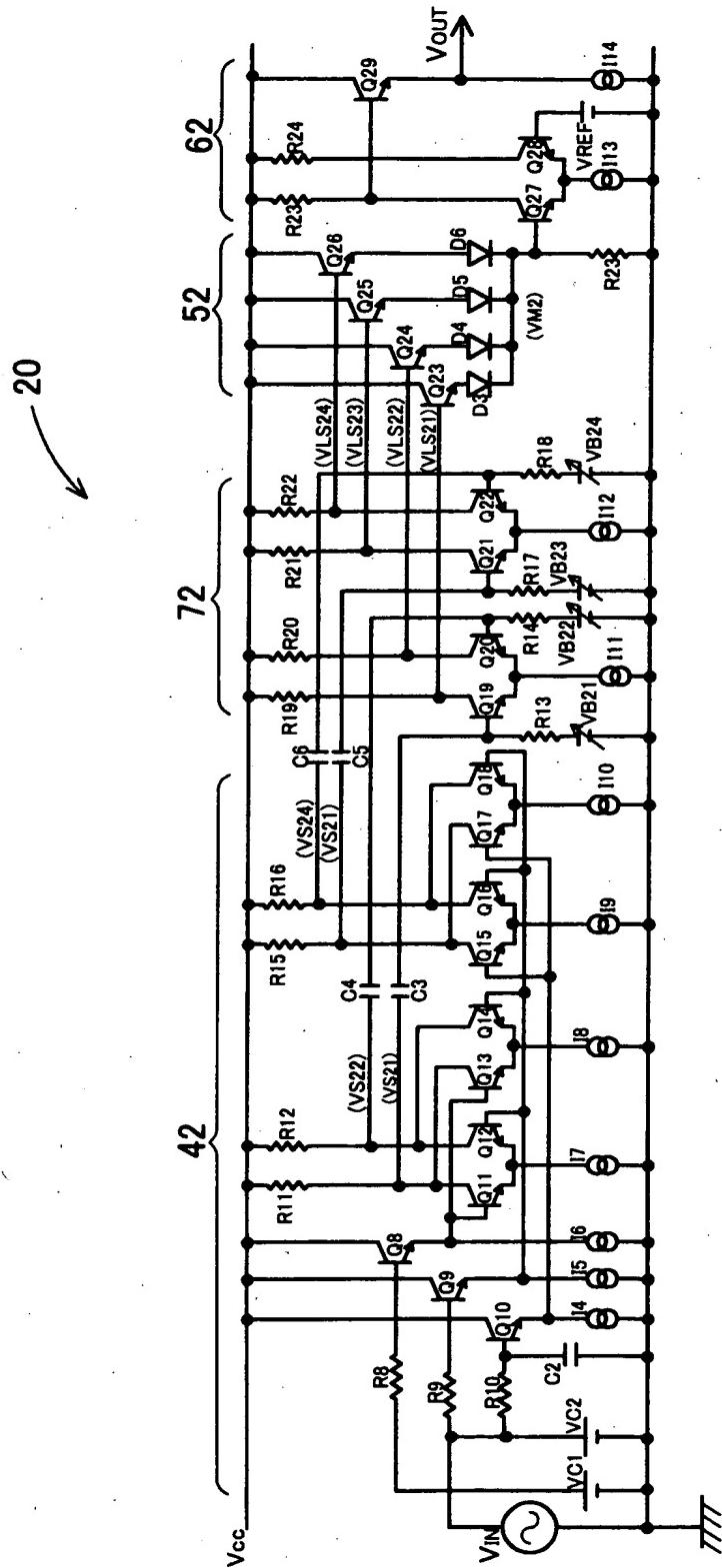
【図7】

第1実施形態の具体例による周波数遅倍波形
(VB11 < VB12の場合)

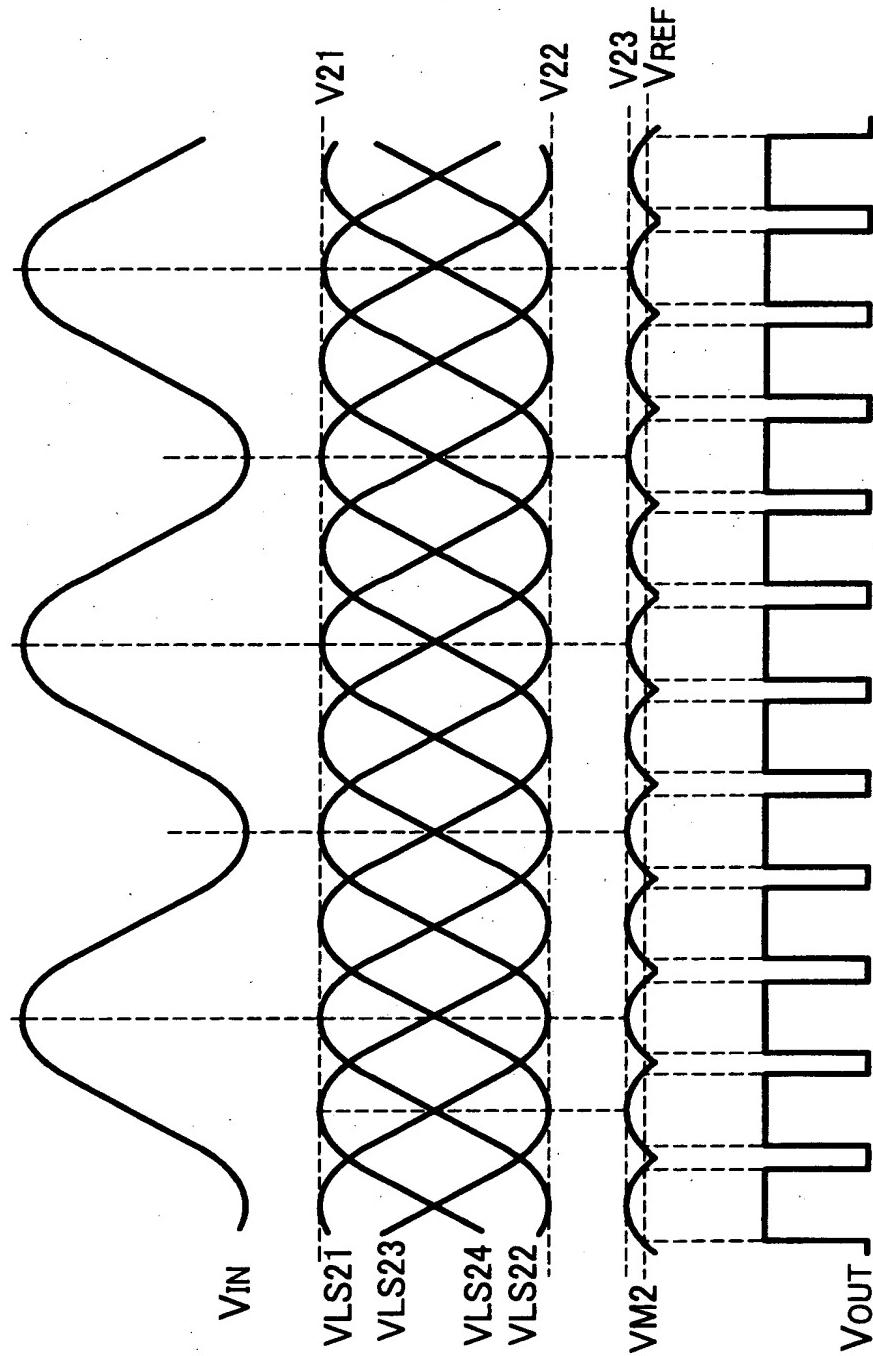


【図8】

第2実施形態の周波数倍増装置

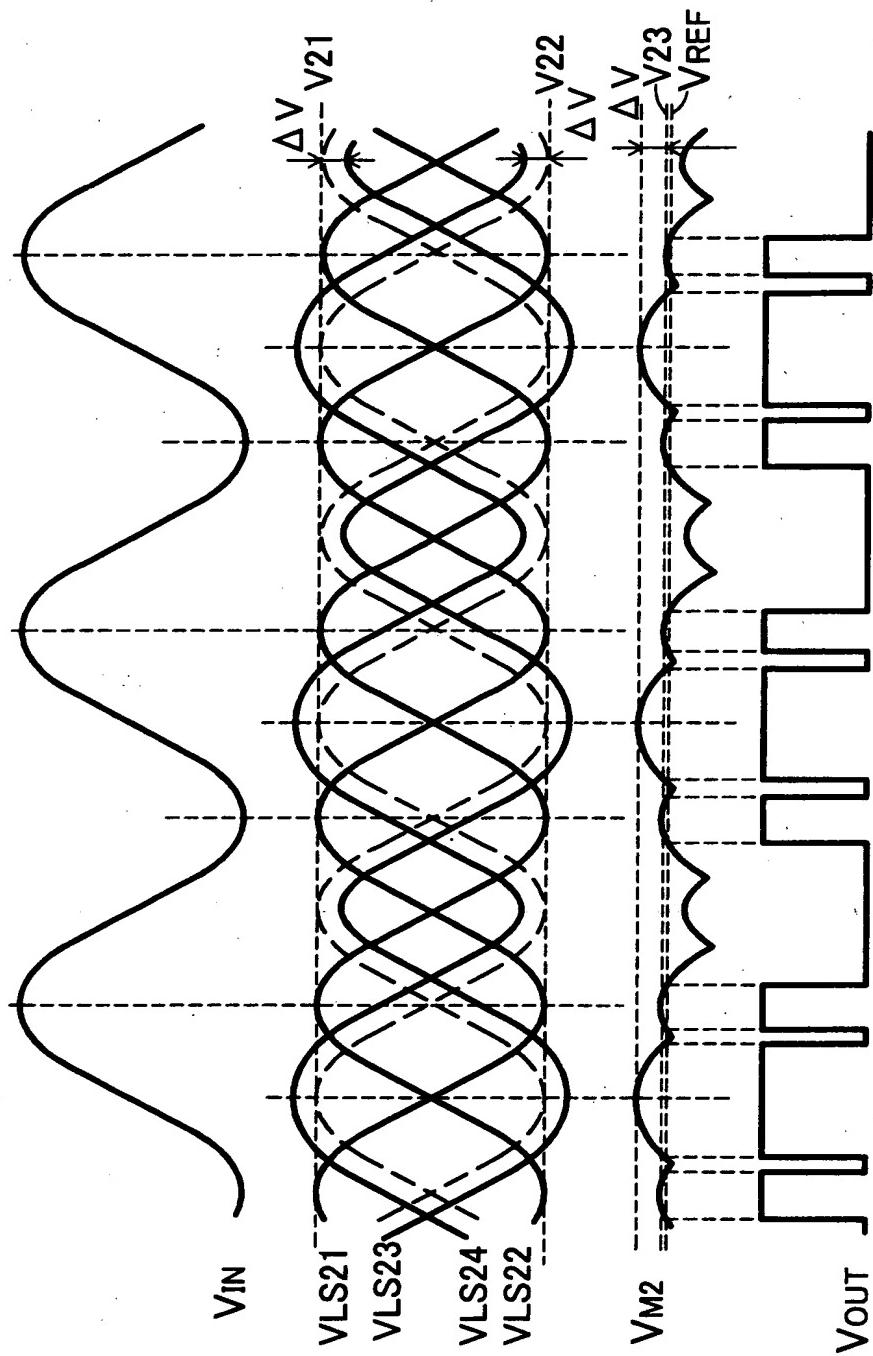


【図9】

第2実施形態による周波数倍波
形($V_{B1}=V_{B2}=V_{B3}=V_{B4}$ の場合)

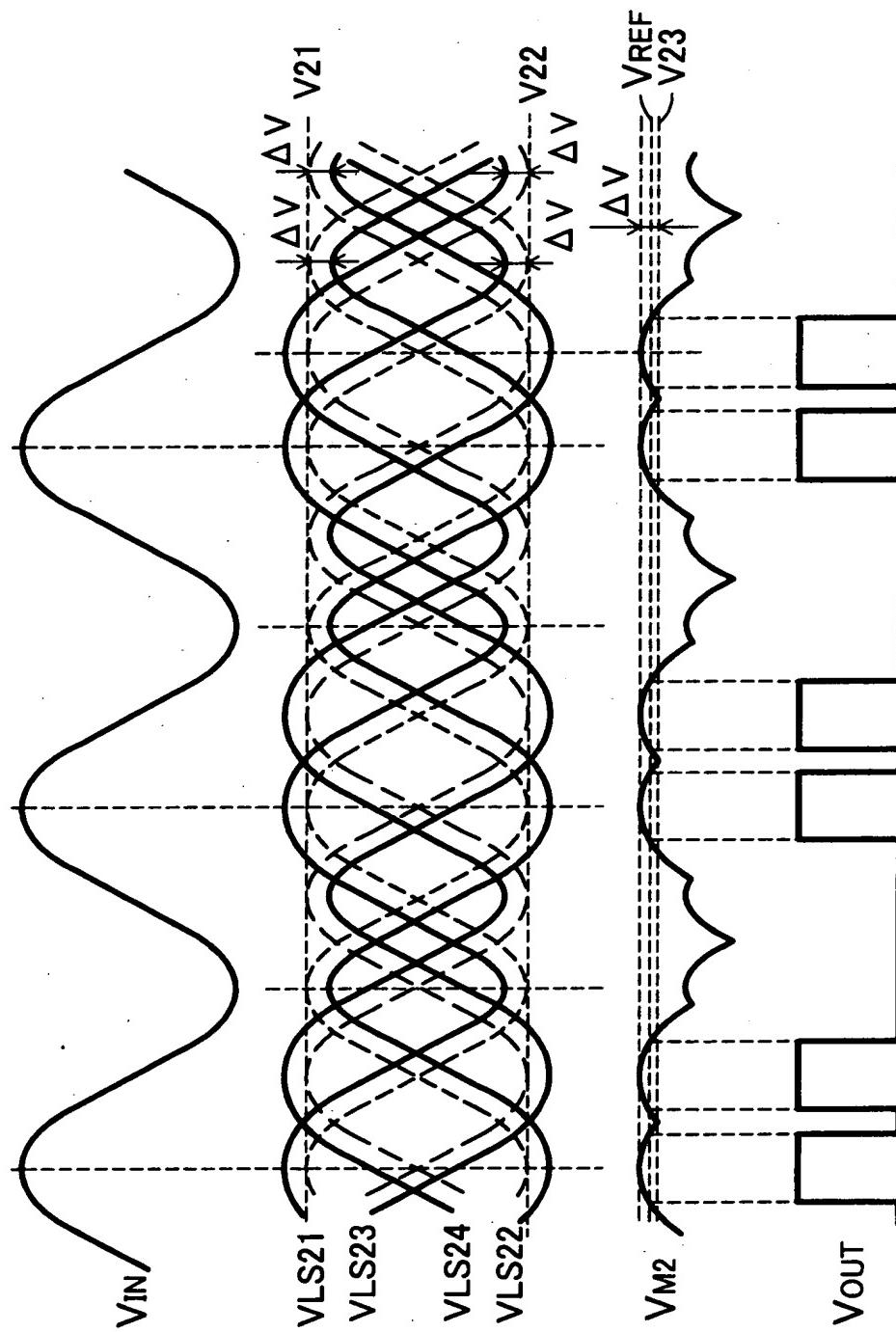
【図10】

第2実施形態による周波数遅倍波形
(VB21=VB22=VB24<VB23の場合)



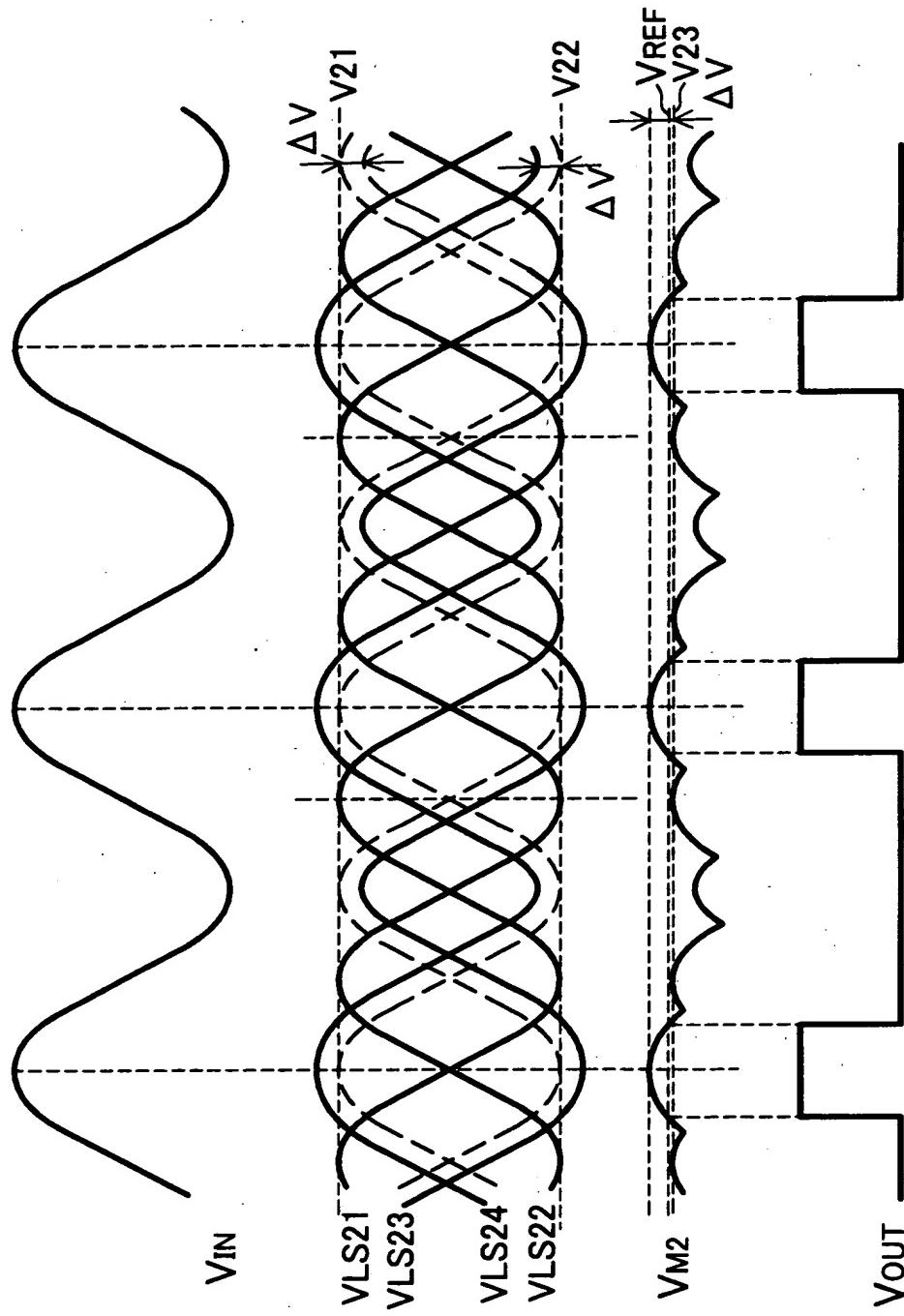
【図11】

第2実施形態による周波数倍波形
(VB21=VB24>VB22=VB23の場合)



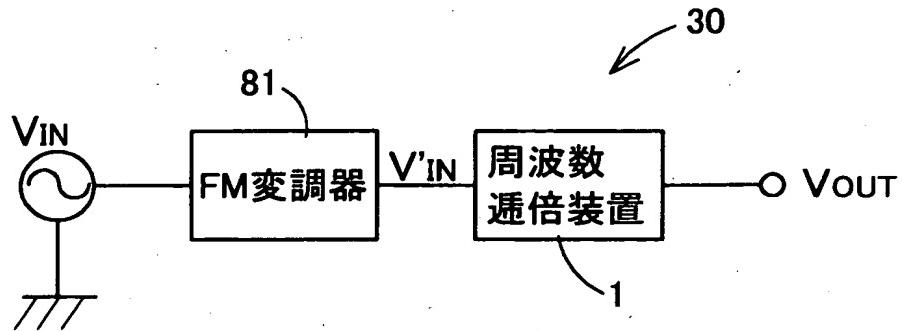
【図12】

第2実施形態による周波数遅倍波形
(VB21=VB23=VB24>VB22の場合)



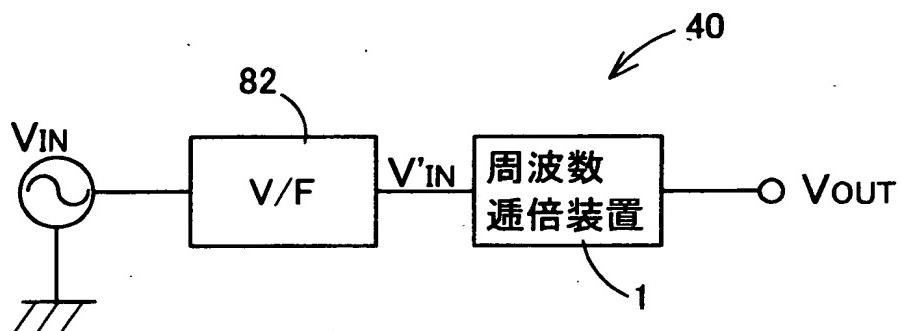
【図13】

第3実施形態の周波数遅倍装置



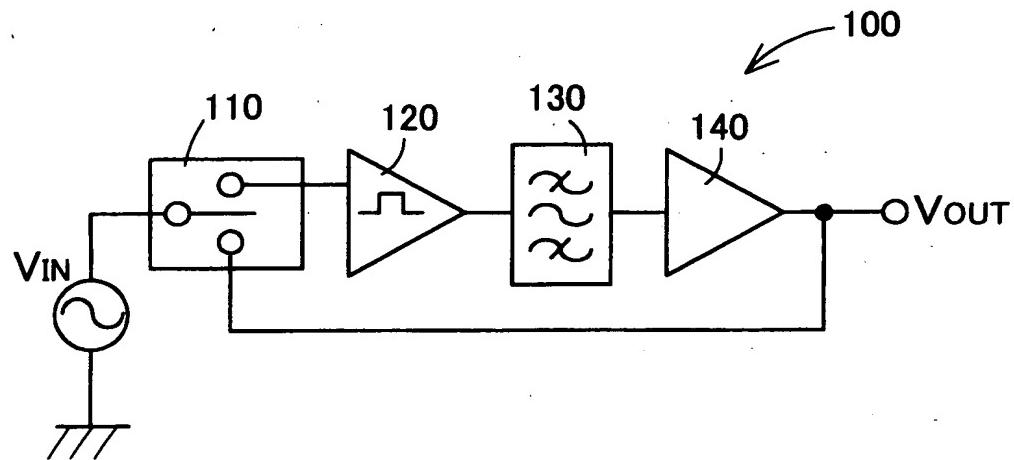
【図14】

第4実施形態の周波数遅倍装置



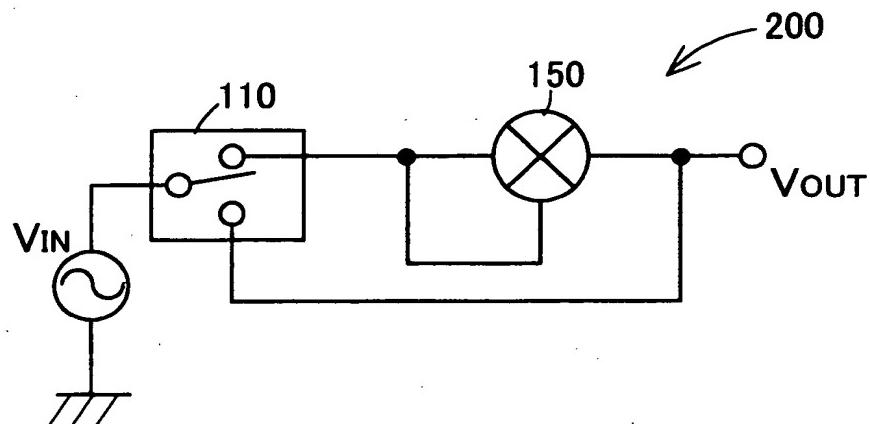
【図15】

第1従来技術の周波数遅倍装置



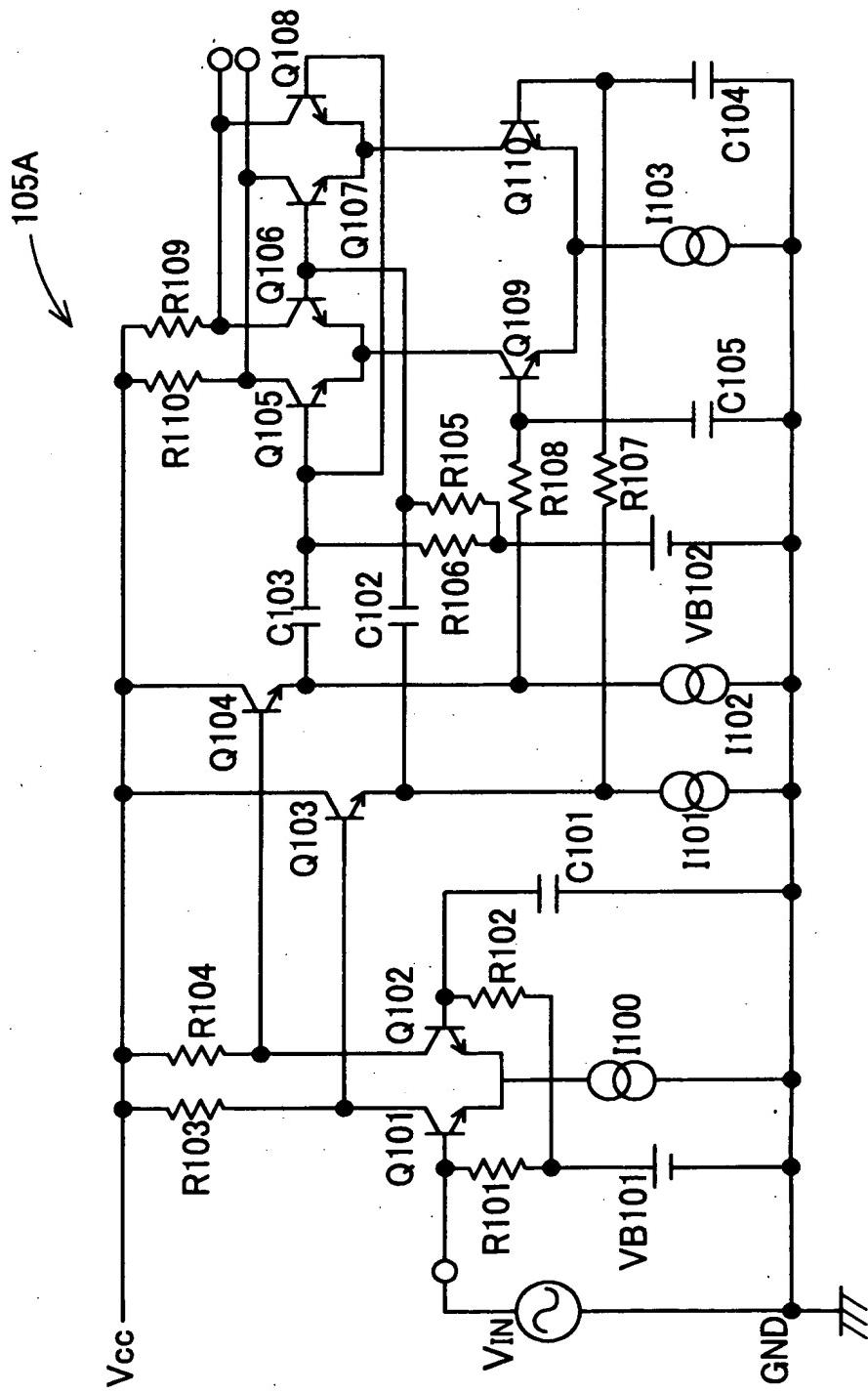
【図16】

第2従来技術の周波数遅倍装置



【図17】

第2従来技術におけるミキサ回路
(周波数タブラー回路)



【書類名】 要約書

【要約】

【課題】 無線通信機器における周波数の有効利用に際し、所定通倍数の周波数信号の適宜な切り替えを、低消費電流、且つ簡易・簡単な回路構成で実現することができる周波数通倍装置を提供すること

【解決手段】 入力差動対Q1とQ2のベース端子は、電圧源VB11、VB12によりバイアスされると共に、Q1に入力周波数信号VINが入力されている。差動出力端子VS11、VS12は、次段のバッファ回路Q3、Q4のベース端子に接続されて、エミッタ端子がダイオードD1、D2に接続され、共通接続されたカソード端子から全波整流信号VM11を得る。全波整流信号VM11は、比較差動対に接続され、参照電圧VREFとの比較により出力周波数信号VOUTを出力する。出力周波数信号VOUTは、電圧源VB11、VB12のバイアス電圧により、入力周波数信号VINと同一周波数、又は2通倍の周波数を適宜に切り替えて出力される。

【選択図】 図5

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社

出願人履歴情報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2
氏 名 富士通ヴィエルエスアイ株式会社